



**Rómulo José
Magalhães
Martins Antão**

Inversor Eléctrico para Sistemas de Microgeração





**Rómulo José
Magalhães
Martins Antão**

Inversor Eléctrico para Sistemas de Microgeração

Dissertação apresentada à Universidade de Aveiro para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia de Electrónica e Telecomunicações realizada sobre orientação científica dos professores:

Professor Dr. Rui Manuel Escadas Ramos Martins, Professor Auxiliar do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro

Professor Dr. Alexandre Manuel Moutela Nunes da Mota, Professor Associado do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro

o júri

Presidente

Prof. Dr. Tomás António Mendes Oliveira e Silva

Professor Associado da Universidade de Aveiro

Arguente

Prof. Dr. José António Barros Vieira

Professor Adjunto do Instituto Politécnico de Castelo Branco

Vogais

Prof. Dr. Rui Manuel Escadas Ramos Martins

Professor Auxiliar da Universidade de Aveiro (orientador)

Prof. Dr. Alexandre Manuel Moutela Nunes da Mota

Professor Associado da Universidade de Aveiro (co-orientador)

Agradecimentos

Aos meus orientadores pela confiança, motivação e ajuda que me facultaram durante esta etapa final do meu Mestrado, aos amigos pelos bons momentos de evasão ao trabalho e, sobretudo, à minha família por todos os incentivos dados durante estes anos e me levaram a ser a pessoa que sou.

A todos um muito obrigado.

Palavras-chave

Inversor DC-AC, PIC32MX, Fontes comutadas, Energias Renováveis, Arquitecturas de 32-bit

Resumo

Esta dissertação tem como principal objectivo implementar o sistema de controlo de um inversor DC-AC para sistemas de microgeração, com capacidade de ligação à rede de distribuição, baseado no hardware desenvolvido em anos anteriores.

Para realizar o controlo de todo o *hardware* foi desenvolvida uma plataforma baseada no microcontrolador PIC32MX, um dispositivo da recente gama de microcontroladores de 32-bit da *Microchip*. A placa de desenvolvimento criada constitui uma plataforma versátil para a prototipagem de sistemas embutidos, uma vez que disponibiliza num módulo *piggy-back* todo o hardware básico necessário à operação do microcontrolador, proporcionando um início rápido do trabalho nesta arquitectura e um fácil acesso a todos recursos do microcontrolador.

Sendo a plataforma base deste projecto um trabalho de continuidade, foram sendo efectuadas diversas correcções nas placas de circuito impresso do inversor pelo que, de modo a tornar o trabalho futuro mais estável, desenvolveram-se novas PCB com base na versão anterior destas. Estas apresentam alterações fundamentalmente ao nível do sistema de alimentação e isolamento das secções de potência e lógica de controlo.

Como elemento auxiliar ao desenvolvido do inversor, foi criado um modelo em *Simulink* deste, que permite testar algoritmos de controlo bem como analisar o comportamento na frequência do sistema.

Key-Words

Grid-Connected DC-AC inverter, PIC32MX, Switched-Mode Power Supplies (SMPS), Renewable Energies, 32-bit Architecture

Abstract

This dissertation main purpose is the development of the control system of a DC-AC inverter for renewable energy power sources. The platform of the inverter is based on the previous years developed hardware. The new control algorithm will allow the inverter to operate in the grid-connected mode.

To implement all the hardware control, a development platform based on the PIC32MX microcontroller, a recent device from the 32-bit Microchip microcontrollers family, was built. This platform is very versatile for the embedded systems development process, as it already includes in a small piggy-back module, all the required hardware for the microcontroller operation, allowing a quick start in this architecture and easy access to all the microcontroller's resources.

As this project base platform is a result of a continuous work from previous years, over the time multiple fixes were made to the printed circuit board. Therefore, to provide a more stable system for the upcoming work, new PCBs were produced. This new boards have improvements regarding the power supply section and electric insulation between the power and logic sections of the system.

As a support to the developed inverter, a Simulink model of it was created, allowing the test of control algorithms and better analysis of the frequency behaviour of the system.

Conteúdos

Conteúdos	i
Imagens	iii
Tabelas	vii
1 Introdução	1
1.1 Motivação	1
1.2 Objectivos	2
1.3 Metodologia	3
1.4 Estrutura da dissertação	5
2 Conceitos Fundamentais sobre Inversores	7
2.1 Aplicações dos inversores	7
2.2 Características do sistema inversor	9
2.2.1 Tipos de Inversores	9
2.2.2 Distorção harmónica	12
2.2.3 <i>Islanding</i>	14
2.3 Revisão das topologias de inversores	15
3 Arquitectura do sistema desenvolvido	21
3.1 Fonte Primária	22
3.2 Elevação, Modulação e Isolamento Galvânico	22
3.3 Rectificação e Filtragem	30
3.4 Ponte Inversora de Arcadas	33
3.5 Filtro de Rede	35
3.6 Sistema de alimentações isoladas	36
3.7 Controlador	37
3.8 Modelo de simulação	40
4 Placa PIC32UA	47
4.1 Placa de Desenvolvimento	49
4.2 Arquitectura do microcontrolador	51

4.2.1	Core	51
4.2.2	Memória do Sistema	53
4.2.3	Bus Matrix	54
4.3	Software de Suporte	55
4.4	Sistema Operativo Tempo-Real (RTOS)	56
4.5	Comparação com o PIC18F458	57
5	Software Controlo do Inversor	59
5.1	Sincronismo com a Rede	59
5.2	Controlo da Ponte Inversora de Arcadas	62
5.3	Tarefas escalonadas no Sistema Operativo Tempo-Real	64
5.4	Algoritmo de Controlo	65
5.5	Modulação <i>SPWM</i>	68
5.6	Detecção de situações de <i>Islanding</i>	70
6	Resultados	73
6.1	Sincronização com a Rede Eléctrica	75
6.2	Funcionamento no modo <i>Grid-Connected</i>	77
6.3	Detecção de situação de <i>Islanding</i>	84
6.4	Resultados da simulação em <i>Simulink</i>	85
7	Conclusões	91
7.1	Trabalho Futuro	92
A	Conceitos e Deduções Matemáticas	95
A.1	Função de Transferência do Filtro LCL	95
A.2	Dimensionamento do Filtro LCL	96
A.3	Discretização da Função de Transferência de um controlador PID	101
A.4	Conversor Forward	102
A.5	Mecanismos de falha dos <i>MOSFETs</i>	104
B	Esquemas Eléctricos	113
B.1	Placa PIC32UA	113
B.1.1	Esquema eléctrico PIC32UA	114
B.1.2	Layout PIC32UA	115
B.2	PCB Inversor	116
B.2.1	Esquema eléctrico da PCB de Controlo do Inversor	117
B.2.2	Layout da PCB de Controlo do Inversor	119
B.2.3	Esquema eléctrico da PCB de Potência do Inversor	120
B.2.4	Layout da PCB de Potência do Inversor	121
	Bibliografia	123

Imagens

2.1	Papel do Inversor numa <i>Offline UPS</i>	7
2.2	Aplicação dos inversores no motor de um carro híbrido, Toyota Prius [18]	8
2.3	Inversor <i>grid-connected</i> interligado a uma máquina rotativa de geração de energia	9
2.4	Aplicação de um inversor <i>stand-alone</i> , (Diagrama da empresa <i>Windgen</i>)	10
2.5	Formas de onda à saída de um inversor <i>stand-alone</i>	11
2.6	Aplicação de um inversor <i>grid-connected</i> , (Diagrama da empresa <i>Windgen</i>)	12
2.7	Forma de onda da rede distorcida devido à existência de harmónicos	12
2.8	Inversor comutado sem transformador de isolamento	16
2.9	Inversor com transformador de isolamento de baixa frequência	17
2.10	Inversor com transformador de isolamento a alta frequência	18
2.11	Diagrama conceptual da implementação modular de um inversor DC-AC	18
2.12	Inversor com transformador de isolamento a alta frequência	19
3.1	Diagrama de blocos do Inversor	21
3.2	fonte Primária do Inversor	22
3.3	Diferentes tipos de fio de Litz da empresa <i>New England Wire</i>	23
3.4	Alternância da tensão aplicada ao enrolamento primário utilizando uma topologia <i>double-ended</i> baseada em <i>Full-Bridge</i>	24
3.5	Implementação da <i>Full-Bridge</i> com <i>MOSFETs</i> em pares	25
3.6	Implementação de um <i>snubber</i> RC para protecção do <i>MOSFET</i> do regime transitório	26
3.7	Diagrama temporal das várias tensões relevantes na <i>Full-Bridge</i>	26
3.8	Mecanismo de Geração dos sinais de controlo da ponte H	27
3.9	Relação entre sinal <i>PWM</i> de controlo do microcontrolador e os sinais individuais de ataque aos <i>MOSFETs</i>	28
3.10	Circuito de protecção do Inversor contra sobre-correntes	29
3.11	Sinal <i>PWM</i> com <i>duty-cycle</i> modulado sinusoidalmente	29
3.12	Tensão ao nível do enrolamento secundário do transformador de isolamento	30
3.13	Locais possíveis para colocação da resistência de amortecimento do filtro	31
3.14	Filtro passa-baixo do tipo LC	31
3.15	Variação da resposta em frequência do filtro para três coeficientes de amortecimento: 1 - $\xi < 0.707$; 2 - $\xi = 1$; 3 - $\xi \gg 1$	33
3.16	Esquema da ponte inversora de arcadas, constituída por <i>IGBT</i>	34

3.17	Mecanismo de detecção de passagens por zero da rede eléctrica	35
3.18	Indutância a interligar duas fontes de tensão alternada	36
3.19	Conversor <i>Flyback</i> com múltiplas saídas	37
3.20	Interfaces do microcontrolador utilizadas	38
3.21	Placa de desenvolvimento montada em <i>breadboard</i>	39
3.22	Topologia do inversor implementado	40
3.23	Circuito equivalente do inversor	41
3.24	Diagrama de Bode do filtro LCL equivalente para diferentes valores das resistências de perdas R_i e R_g	42
3.25	Diagrama de Bode do filtro LCL equivalente sem resistência de amortecimento (2), com resistência de amortecimento (1)	43
3.26	Modelo Simulink do circuito de modulação sinusoidal do sinal <i>PWM</i>	44
3.27	Variáveis necessárias para a implementação em diagrama de blocos do filtro LCL	44
3.28	Implementação do filtro LCL em <i>Simulink</i>	45
3.29	Modelo Simulink do inversor	45
4.1	Placa de desenvolvimento PIC32UA	49
4.2	Layout da Placa de desenvolvimento PIC32UA	50
4.3	Diagrama de Blocos da arquitectura PIC32MX	52
4.4	Diagrama de Blocos do <i>Core MIPS M4K</i>	52
4.5	Efeito da <i>Prefetch Cache</i> no desempenho do sistema	54
4.6	Acesso concorrente ao barramento segundo o conceito <i>Bus Matrix</i>	55
5.1	Variação do sinal de detecção de passagem por zero com o sinal de tensão da rede eléctrica	60
5.2	Diagrama de blocos do sistema de sincronismo e geração do <i>Set-Point</i> do controlador	61
5.3	Mecanismo de controlo de janelas temporais	62
5.4	Mecanismo de controlo da comutação da Ponte H de Inversão de Arcadas	63
5.5	Malha de controlo do sistema, com <i>feedback</i> por corrente	65
5.6	Gráfico dos dados transmitidos para o <i>MATLAB</i> . Estes resultados são a média de vários períodos de 20ms, apresentando a comparação entre a onda de referência pretendida, I_{ref} , o sinal de corrente amostrado pelo microcontrolador na saída do sistema, I_{out} , e o sinal de controlo do inversor, <i>Duty</i> , durante uma situação de ajuste do controlador.	67
5.7	Gráfico com evolução de algumas das componentes do controlador PID, como a proporcional e integral, juntamente com o <i>duty-cycle</i> do sinal de controlo e a corrente de saída. A escala do eixo vertical encontra-se em unidades relativas aos cálculos internos do microcontrolador, armazenados em variáveis inteiras com sinal.	68
5.8	Sistema de modulação <i>SPWM</i> utilizando onde o índice de modulação da amplitude é $m = 1$	69
5.9	Sinal <i>PWM</i> resultante	69

5.10	Detecção de <i>Islanding</i> por salto de fase da tensão	71
6.1	Bancada de testes experimentais ao inversor	74
6.2	Sistema de isolamento da rede eléctrica	74
6.3	Variação do sinal de detecção de passagem por zero com o sinal de tensão da rede eléctrica	75
6.4	Variação do sinal de detecção de passagem por zero com o sinal de tensão da rede eléctrica	76
6.5	Circuito equivalente parcial do inversor com a segunda ponte H desligada	76
6.6	Onda de corrente injectada pelo inversor, para uma referência de 2A <i>rms</i>	77
6.7	Desfasamento entre a onda de tensão e corrente	78
6.8	FFT da corrente injectada pelo inversor	78
6.9	FFT da corrente injectada pelo inversor, com maior detalhe às baixas frequências	79
6.10	Inversor a operar com uma onda de referência de 0.6A <i>rms</i>	81
6.11	Inversor a operar com uma onda de referência de 1.4A <i>rms</i>	81
6.12	Inversor a operar com uma onda de referência de 1.0A <i>rms</i>	81
6.13	Inversor a operar com uma onda de referência de 1.8A <i>rms</i>	81
6.14	Relação entre a onda de tensão da rede (2) e a variação do <i>duty-cycle</i> do sinal de controlo da ponte H (1), com onda referência de corrente de 1.8A	82
6.15	Relação entre a onda de tensão da rede (2) e a variação do <i>duty-cycle</i> do sinal de controlo da ponte H (1), com onda referência de corrente de 0.6A	82
6.16	Relação entre a corrente injectada na rede (2) e a variação do <i>duty-cycle</i> do sinal de controlo da ponte H (1), com onda referência de corrente de 1.8A	82
6.17	Relação entre a corrente injectada na rede (2) e a variação do <i>duty-cycle</i> do sinal de controlo da ponte H (1), com onda referência de corrente de 0.6A	82
6.18	Comportamento do inversor numa situação de <i>islanding</i> , por desconecção física .	84
6.19	Tensão da rede e corrente de saída do inversor, fornecendo 10A na rede	85
6.20	Corrente de saída do inversor e referência do controlador, fornecendo 10A na rede	86
6.21	Tensão da rede e corrente de saída do inversor, fornecendo 2A na rede	87
6.22	Corrente de saída do inversor e referência do controlador, fornecendo 2A na rede	87
6.23	Tensão da rede e corrente de saída do inversor, fornecendo 1A na rede	88
6.24	Corrente de saída do inversor e referência do controlador, fornecendo 1A na rede	88
A.1	Circuito equivalente do filtro LCL	95
A.2	Circuito equivalente do filtro LCL	95
A.3	Filtro LCL equivalente à frequência do harmónico de ordem h	97
A.4	Relação entre a atenuação do ripple da corrente de saída e o índice r	99
A.5	Diagrama de Bode do filtro LCL	100
A.6	Topologia base de um conversor <i>Forward</i>	102
A.7	Conversor <i>Forward</i> com comutador S fechado e respectivo modelo equivalente quando S está em condução	103
A.8	Conversor <i>Forward</i> com comutador S aberto e respectivo modelo equivalente quando S está cortado	103

A.9	SOA genérica de um <i>MOSFET</i> . Situações de falha são registadas, efectuando-se a delimitação de uma provável zona de guarda para o funcionamento do dispositivo [1]	105
A.10	Curva I_D vs V_{DS} para múltiplas tensões de <i>gate</i> aplicadas	106
A.11	Relação entre a tensão de <i>gate</i> aplicada a um IRF1405 e a corrente de dreno resultante, evidenciando a variação da corrente com o aumento da temperatura do dispositivo [1]	107
A.12	Imagem térmica da falha de um IRF1405Z - A imagem apresenta um ponto quente que se forma devido aos problemas de operação no modo linear [1]	108
A.13	Entrada do <i>MOSFET</i> no modo avalanche	109
A.14	Circuito equivalente de um <i>MOSFET</i> de canal N	109
A.15	Origem do BJT parasita num <i>MOSFET</i> de canal N com estrutura vertical [5] . .	110
A.16	Alguns exemplos de <i>MOSFET</i> com danos exteriores mais evidentes, resultantes da operação incorrecta na ponte H do inversor	111
B.1	Layout Geral	115
B.2	Layout Superior	115
B.3	Layout Inferior	115

Tabelas

2.1	Limites de distorção da corrente em sistemas de distribuição de energia até 69kV [19]	14
4.1	Comparação dos tempos de execução em diferentes tarefas	58
6.1	Tensões relativas às componentes espectrais dos harmónicos da corrente mais relevantes	79
6.2	Comportamento para diferentes índices de modulação da onda de corrente de referência	80
A.1	Parâmetros do sistema considerados	97

Capítulo 1

Introdução

1.1 Motivação

A emergente consciencialização por parte da população mundial da efemeridade dos *stocks* naturais de combustíveis fósseis, a consequente instabilidade do preço dos produtos petrolíferos e as cada vez mais restritivas medidas governamentais, com vista a cumprir os limites impostos pelas cotas de emissão de carbono, têm impulsionado nos últimos anos o crescimento do mercado das energias renováveis. A eficiência energética e a sustentabilidade do desenvolvimento das comunidades são temas cada vez mais em voga e o aparecimento de programas de incentivo vocacionados para o mercado residencial, levou a um aumento da utilização de painéis fotovoltaicos e torres eólicas como fontes auxiliares de produção de energia limpa. Estas fontes de energia permitem a redução da factura energética das famílias e contribuir, em parte, para a redução do impacto ambiental associado aos métodos de produção de energia tradicionais, como são as centrais termoeléctricas e as barragens hidroeléctricas.

Os sistemas de produção de energia eléctrica com base em energia solar ou eólica são sistemas fortemente dependentes das condições atmosféricas e, consoante o estado mais ou menos favorável destas, características como a voltagem ou a frequência da electricidade que estes produzem são bastante variáveis, pelo que, de modo a alimentar os dispositivos normalmente ligados à rede de distribuição ou mesmo inserir corrente na rede, é necessária uma etapa de conversão que é realizada pelos inversores DC-AC. Existem diversos tipos de inversores DC-AC utilizados para alimentar dispositivos eléctricos mas, nesta dissertação, será particularizado o estudo dos inversores ligados à rede eléctrica, conhecidos como *grid-connected*.

Utilizando estes dispositivos, no panorama actual é mais vantajoso para o cliente vender à rede de distribuição toda a energia que produz, uma vez que o preço a que o operador compra energia é superior ao preço a que este vende ao cliente. No entanto, num futuro próximo esta situação deixará de ser sustentável e os inversores *grid-connected* tenderão a ser utilizados como a fonte primária de energia de um lar, com opção de utilização de dispositivos de armazenamento de energia, recorrendo-se apenas ao operador em situações pontuais como em alturas em que há uma maior necessidade de potência eléctrica disponível ou a energia armazenada é já insuficiente para alimentar os dispositivos de si dependentes.

Tendo o mercado dos inversores ligados à rede de distribuição um futuro próspero, constituindo de momento um negócio de nicho, com baixa penetração por parte dos fabricantes chineses sendo dominado maioritariamente por marcas alemãs e dinamarquesas, o estudo das topologias, das normas de operação, a compreensão do funcionamento e implementação de um protótipo constitui uma vantagem no contexto do desenvolvimento de produtos na área da electrónica de potência. Com o protótipo desta dissertação, pretende-se assim desenvolver um produto segundo uma topologia mais compacta que as comumente encontradas no mercado, com alto rendimento e capaz de validar as especificações de segurança associadas à classe destes dispositivos. Além disso, deverá respeitar as normas impostas aos dispositivos de fornecimento de energia à rede eléctrica e, acima de tudo, apresentar um baixo preço de implementação, de modo a que, num futuro próximo, este protótipo possa constituir a base de um produto comercialmente viável e competitivo.

1.2 Objectivos

Esta dissertação constitui mais uma fase no desenvolvimento de um inversor DC-AC, *true sine wave*, para aplicações de microgeração. A sua gama de tensões de entrada foi optimizada para utilização com aerogeradores, admitindo uma variação entre os 20V e os 50V. No entanto, a topologia do sistema é facilmente adaptável para admitir gamas de tensão mais elevadas, possibilitando a utilização de *arrays* de painéis fotovoltaicos. Os componentes utilizados no sistema permitem que este seja capaz de fornecer uma potência máxima de 2.3kVA.

O primeiro objectivo desta dissertação é integrar uma placa de desenvolvimento baseada na arquitectura PIC32MX, projectada na fase inicial desta dissertação, no *hardware* do inversor previamente desenvolvido.

Após a concretização desta etapa, pretende-se que o inversor cumpra os seguintes requisitos:

- Seja capaz de operar no modo *grid-connected*, sincronizando o seu funcionamento com a rede eléctrica.
- Apresente à sua saída uma onda de corrente sinusoidal, com baixa distorção harmónica, de modo a respeitar as regulamentações relativas aos dispositivos produtores de energia ligados à rede de distribuição.
- Apresente um mecanismo de detecção de situações de *Islanding*, como medida preventiva contra situações de funcionamento contínuo mesmo em caso de falha de rede.

1.3 Metodologia

A presente dissertação constitui a continuação do desenvolvimento de um inversor DC-AC, cujo *hardware* foi implementado em anos transactos. Sendo um trabalho de continuidade, a leitura de toda a documentação previamente produzida constituiu o ponto de partida desta dissertação, permitindo estabelecer o primeiro contacto com o *hardware* e os conceitos subjacentes ao funcionamento do inversor. Do trabalho precedente, resultou um inversor configurado para operar no modo *stand-alone*, modo em que o inversor funciona independentemente da rede eléctrica, efectuando o controlo da sua saída por tensão de modo a apresentar uma onda sinusoidal com 230V *rms* às cargas a si ligadas. Na presente dissertação, a meta é desenvolver o *software* de controlo do inversor de modo a que este possa operar no modo *grid-connected*, sincronizando o seu funcionamento com a rede eléctrica, inserir energia na rede respeitando as normas relativas à qualidade da rede de distribuição aplicáveis, bem como desenvolver um mecanismo de detecção de situações de falha da rede, como medida preventiva para evitar situações de risco para os funcionários que efectuam a manutenção da rede eléctrica.

No trabalho efectuado nos anos anteriores, o controlo de todo o sistema foi sempre realizado por microcontroladores da *Microchip*, tendo sido numa primeira versão implementado microcontrolador da família PIC18, dispositivos de 8-bit, sendo posteriormente actualizado por dois microcontroladores da família PIC24, dispositivos de 16-bit. Os microcontroladores utilizados, embora tenham executado as tarefas de monitorização e controlo do inversor com sucesso, apresentaram sempre limitações relativas ao seu desempenho, sendo evidência mais notória deste facto a utilização, na última versão do projecto, de dois microcontroladores para controlar duas secções distintas do inversor. De modo a simplificar a unidade central de controlo e aplicar os últimos desenvolvimentos na área dos microcontroladores neste projecto, foi criada uma placa de desenvolvimento baseada nos microcontroladores da família PIC32MX da *Microchip*, dispositivos com uma arquitectura de 32-bit, com elevada integração de periféricos e elevadas capacidades de processamento de dados, proporcionadas em parte pela existência de um *core MIPS* a operar a 80MHz e unidades de multiplicação e divisão dedicadas. Este projecto constituiu assim um bom *case-study* das potencialidades desta plataforma, destacando as vantagens relativas à utilização de uma placa que providencia todos os componentes base e apresenta um bom suporte ao nível do *software* para uma rápida iniciação do utilizador no desenvolvimento de sistemas embutidos com base na arquitectura PIC32MX.

Tendo sido testado o protótipo da placa de desenvolvimento com aplicações básicas de demonstração das suas potencialidades, efectuando uma comparação com um dispositivo da família PIC18 na execução de tarefas comuns que fazem uso das capacidades matemáticas, de acesso à memória e velocidade de execução de instruções recorrentemente utilizadas, procedeu-se à integração do novo microcontrolador na arquitectura prévia do inversor, desenvolvendo-se os *device drivers* necessários à operação do sistema. O ponto de partida foi a implementação do sistema de controlo do conversor *flyback* que regula as diversas tensões de alimentação do sistema, passando-se de seguida ao controlo das pontes H do inversor. O inversor apresenta duas pontes H que operam com características distintas. A primeira ponte H, localizada no lado da entrada do inversor, é composta por *MOSFETs* de potência, *Metal Oxide Semiconductor Field Effect Transistor*, e é responsável pela modulação da tensão DC proveniente da fonte primária,

podendo também ser vista como parte integrante de um conversor *Forward* responsável pela elevação da tensão de entrada do inversor e implementação do isolamento galvânico entre a entrada e a saída do inversor. Esta ponte opera a uma frequência de comutação elevada, 133kHz, sendo controlada por um sinal PWM gerado pelo microcontrolador. A segunda ponte H do inversor, colocada mais perto da saída do inversor, é composta por *IGBT, Insulated Gate Bipolar Transistor* e opera a uma frequência de 100Hz, sincronizando a sua comutação com as passagens por zero da rede eléctrica e sendo responsável pela inversão de arcadas de tensão sinusoidais rectificadas positivamente.

Desenvolvendo-se os algoritmos de controlo responsáveis pela correcta comutação das pontes H, definiu-se um *set-point* bastante limitativo relativamente à potência envolvida na operação do inversor, como medida preventiva em situações de falha do sistema, que se encontrava ainda numa fase prematura do desenvolvimento. Para proceder à calibração do algoritmo de controlo implementou-se um sistema de comunicação entre o microcontrolador e o programa MATLAB com o intuito de ajustar iterativamente os parâmetros do controlador PID utilizado, procurando obter à saída do inversor uma onda de corrente sinusoidal em fase com a tensão da rede.

Durante o período de desenvolvimento, o inversor não se encontrou directamente ligado à rede de distribuição, utilizando para o efeito um sistema de isolamento composto por dois transformadores de baixa potência, constituindo estes uma protecção contra eventuais situações de curto-circuito. No processo de calibração do algoritmo de controlo, constatou-se que os componentes responsáveis pela filtragem da tensão se encontravam incorrectamente dimensionados, originando estados oscilatórios na corrente de saída do inversor, para determinados ganhos do controlador. Com base em literatura de suporte, estes componentes foram redimensionados. No entanto, devido à indisponibilidade em tempo útil de todos os componentes do filtro, foi alterada apenas uma indutância do filtro LCL, que apresentava um peso mais significativo no comportamento do sistema, e foi adicionada uma resistência de amortecimento da resposta do filtro, melhorando o comportamento do sistema físico.

Paralelamente a esta etapa foi também desenvolvido um modelo do sistema no ambiente *Simulink*, que permitiu estudar o comportamento do filtro de rede e simular algoritmos de controlo do sistema. No entanto, devido à existência de alguns comportamentos não lineares do sistema não foi possível estabelecer uma comparação directa dos resultados obtidos na simulação e no sistema físico. Não obstante, foi fundamental para perceber as dependências dos vários parâmetros do controlador e valores dos componentes do filtro com o comportamento do sistema.

Conseguindo controlar o funcionamento do inversor uma baixa corrente de saída, foi-se incrementalmente aumentando a potência fornecida por este à rede, tendo-se atingido o patamar limitativo da bancada de testes, devido às características da fonte primária utilizada. O inversor desenvolvido, embora projectado para ser capaz de fornecer uma potência de 2.3kVA, foi testado fornecendo uma potência máxima de 500VA. Já na fase final do trabalho, o inversor foi ligado directamente à rede eléctrica, tendo-se efectuado nessas condições todas as medidas e capturas apresentadas nesta dissertação.

Como já foi referido, a plataforma do inversor utilizada tem como base o *hardware* desenvolvido em anos anteriores. Tendo sido o seu desenvolvimento um processo sujeito a múltiplas correcções, o sistema actual apresenta já um elevado número ligações feitas *a posteriori*, constituindo estas pontos de elevada fragilidade e causas de algumas situações de mau funcionamento

do inversor. Assim foram desenvolvida simultaneamente com a implementação do modo *grid-connected* na plataforma antiga, novas PCB com algumas alterações no que toca ao sistema de alimentação, isolamento de tensões entre zonas de potência e lógica de controlo e inclusão de mecanismos de ligação entre placas mais robusto. Estas PCB encontram-se parcialmente montadas, e recomenda-se a sua finalização na continuação deste projecto.

1.4 Estrutura da dissertação

A presente dissertação encontra-se dividida em sete capítulos, onde são expostos todos os conceitos envolvidos no desenvolvimento do trabalho realizado. No seu final, estão presentes dois anexos adicionais. Seguidamente é apresentado um breve resumo de cada um dos capítulos.

- No Capítulo 1, **Introdução**, é feita uma exposição dos objectivos, motivação e metodologias seguidas na realização do projecto que está na base desta dissertação.
- No Capítulo 2, **Conceitos Fundamentais sobre Inversores**, pretende-se realizar uma breve apresentação das aplicações mais comuns dos inversores DC-AC, dando particular relevância aos inversores com aplicabilidade no campo das energias renováveis. São expostas também algumas considerações típicas destes sistemas, como são a sua forma de onda à saída, requisitos operacionais como distorção harmónica, desfasamento entre a tensão e a corrente e situações de operação indevida como a ocorrência de *Islanding*. Apresentam-se também algumas das topologias mais comuns relativamente aos inversores DC-AC, analisando parâmetros como a existência de isolamento galvânico entre os seus terminais de entrada e saída, a frequência de operação do seu transformador e o número de etapas necessárias para realizarem a conversão DC-AC.
- No Capítulo 3, **Arquitectura do Sistema Desenvolvido**, realiza-se uma descrição mais detalhada da arquitectura do inversor implementado. É efectuada uma segmentação do sistema, apresentando-se detalhadamente os mecanismos subjacentes à operação de cada secção. Também é descrita a modelação do sistema em *Simulink*.
- No Capítulo 4, **Placa PIC32**, dá-se particular ênfase à placa de desenvolvimento, baseada na arquitectura num microcontrolador PIC32, criada no âmbito deste projecto e com uma aplicabilidade alargada à área de criação de sistemas embutidos em geral. Efectua-se uma contextualização relativamente ao panorama da utilização dos microcontroladores no desenvolvimento de *hardware*, apresenta-se a motivação para a criação de uma plataforma baseada num microcontrolador de 32-bit, bem como alguns dos aspectos particulares mais relevantes no contexto da evolução da arquitectura dos microcontroladores alcançados particularmente com os produtos desta gama da *Microchip*.
- No Capítulo 5, **Software de Controlo do Inversor**, são apresentados todos os fundamentos subjacentes aos mecanismos de sincronismo do sistema com a rede, geração dos sinais de referência para o controlo da corrente, mecanismos de protecção em situações de funcionamento indevido e a segmentação do sistema em tarefas.

- O Capítulo 6, **Resultados**, apresenta as diversas situações de funcionamento do sistema operando no modo *Grid-Connected*, nomeadamente o instante de sincronismo com a rede eléctrica, o funcionamento do sistema, após sincronização com a rede, para diferentes níveis de potência injectada na rede e a operação do mecanismo de detecção de situações de *islanding*. É também efectuada uma análise dos resultados obtidos. Para concluir a análise do funcionamento do inversor, são também apresentados os resultados do simulador implementado em *Simulink*.
- O Capítulo 7, **Conclusão**, é o capítulo final desta dissertação e apresenta as ilações retiradas da sua realização. Também são apresentadas algumas propostas para continuação do desenvolvimento do inversor e eventuais soluções para corrigir o comportamento erróneo deste em determinadas situações de operação.
- O Anexo **Conceitos e Deduções Matemáticas** apresenta-se como um anexo técnico em que se encontram equações matemáticas necessárias durante o processo de estudo/projecto do inversor. Também é feita uma breve análise aos mecanismos de falha dos *MOSFETs*, um dos grandes contratempos do processo de desenvolvimento deste inversor.
- O Anexo **Esquemas Eléctricos** é a última secção desta dissertação e apresenta os esquemas eléctricos e *layout* das PCB do inversor e da placa de desenvolvimento.

Capítulo 2

Conceitos Fundamentais sobre Inversores

2.1 Aplicações dos inversores

Um inversor eléctrico é um sistema utilizado para efectuar a conversão da energia fornecida por fontes de corrente contínua (DC) em energia sob a forma de corrente alternada (AC). Estes dispositivos encontram-se aplicados em múltiplos sistemas tais como fontes de alimentação ininterruptas (UPS), sistemas de aquecimento por indução, controladores de motores AC e em sistemas de produção de energia como painéis fotovoltaicos ou geradores eólicos.

Enquanto elemento de fontes de alimentação ininterruptas, sistemas que asseguram a manutenção da rede eléctrica aos dispositivos a si conectados em caso de falha da rede principal, baterias de alta capacidade ou células de combustível são utilizadas como fontes DC. Neste caso, o inversor deverá facultar à sua saída uma tensão alternada de características semelhantes às da rede de distribuição. Nestes dispositivos, o inversor poderá entrar em funcionamento apenas em situações de ausência da rede eléctrica, como é o caso das *UPS Offline*, ou então operar continuamente, actuando como um *buffer*, facultando uma alimentação próxima das condições ideais da rede a dispositivos bastante sensíveis a flutuações desta, como é o caso das *UPS Online* [35].

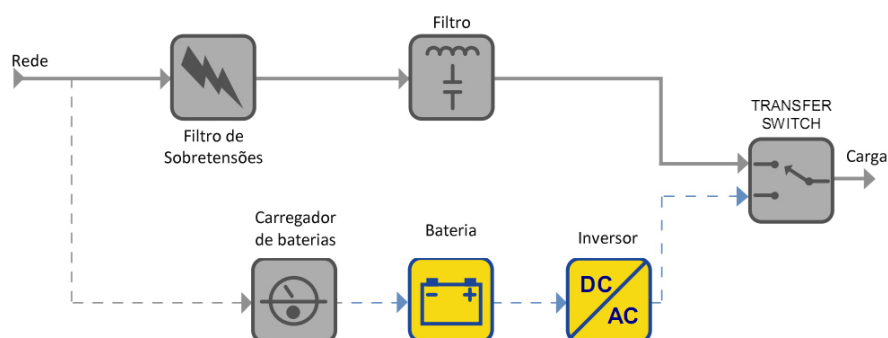


Figura 2.1: Papel do Inversor numa *Offline UPS*

Em sistemas de aquecimento por indução, como fornos de fundição ou soldadores, o inversor é utilizado como gerador de corrente alternada a alta frequência. Ao gerar uma corrente de alta

frequência que percorre um indutor, este gera campos magnéticos rapidamente variáveis que, ao nível dos metais induzidos, conduzem ao aparecimento de correntes de Foucault responsáveis por elevadas perdas energéticas sob forma de calor. A fonte DC destes sistemas provém tipicamente do processo de rectificação e filtragem da tensão alternada da rede eléctrica.

A capacidade dos inversores em operarem como fontes AC de frequência e amplitude variável, evidenciada na aplicação anterior, apresenta também utilidade em sistemas em que se pretende regular a velocidade de rotação de motores AC, sendo a base dos controladores *Variable-Frequency Variable-Voltage Drive* amplamente utilizados em sistemas de ventilação e sistemas de tracção de máquinas eléctricas. Um exemplo de aplicação emergente dos inversores é o mercado dos carros eléctricos, apresentando-se na figura 2.2 um diagrama conceptual da integração de dois inversores DC-AC no sistema de transmissão de um carro híbrido. Nestes veículos, baterias de alta capacidade são utilizadas como sistema de armazenamento de energia e o motor eléctrico do veículo responsável pela rotação dos eixos é tipicamente um motor trifásico pelo que, de modo a se providenciar potência ao motor, um conversor DC-AC terá de ser utilizado.

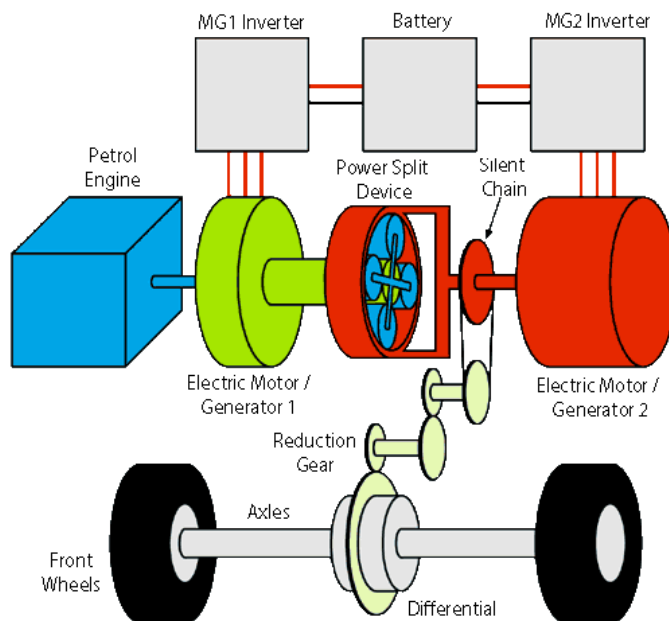


Figura 2.2: Aplicação dos inversores no motor de um carro híbrido, Toyota Prius [18]

Com a crescente demanda por alternativas aos combustíveis fósseis, menos poluidoras e mais económicas, tem-se observado nos últimos anos um aumento da utilização de sistemas baseados em energias renováveis, tais como a energia eólica ou solar. Também ao nível doméstico, têm aumentado os incentivos para a utilização destas fontes, quer enquanto um complemento à rede doméstica, alimentando independentemente alguns aparelhos da habitação, quer como fontes de microgeração permitindo a venda de electricidade à rede de distribuição. No caso dos painéis fotovoltaicos, uma vez que estes produzem electricidade sob a forma DC, apenas é necessária a conversão para AC respeitando os parâmetros da rede eléctrica. Relativamente aos geradores

eólicos, existe a possibilidade de se utilizarem quer geradores DC quer geradores AC. No caso da utilização de geradores AC, a frequência e tensão de pico encontram-se fortemente dependentes da velocidade do vento e do binário produzido pela rotação das pás do gerador eólico pelo que, de modo a compatibilizar a energia produzida com a rede eléctrica, é necessária realizar uma conversão AC-DC, através de um processo de rectificação e filtragem, seguindo-se uma nova conversão DC-AC realizada por um inversor, respeitando as características da rede eléctrica. Este último exemplo encontra-se apresentado na figura 2.3

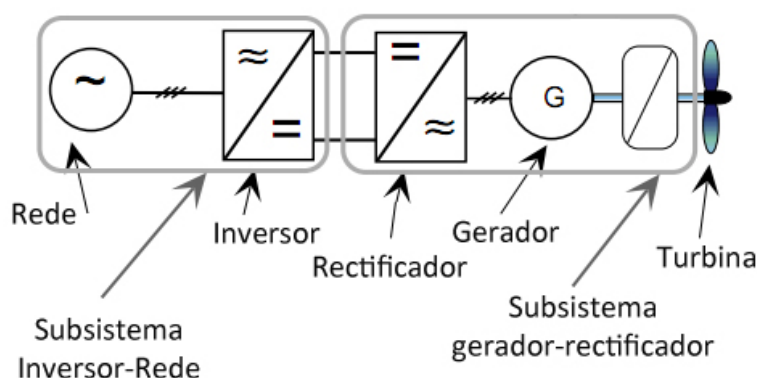


Figura 2.3: Inversor *grid-connected* interligado a uma máquina rotativa de geração de energia

2.2 Características do sistema inversor

Em todas as aplicações anteriormente evidenciadas foi apresentada, de uma maneira generalista, a utilidade dos sistemas inversores. No entanto, dependendo da aplicação a que se destinam, diferentes características poderão ser apresentadas de acordo com as necessidades e regulamentações existentes para a sua operação. Como foi anunciado no capítulo 1, no âmbito desta dissertação pretende-se dar particular ênfase aos inversores com aplicações relativas à conversão da energia produzida por fontes renováveis pelo que o objectivo do inversor a utilizar será produzir uma saída alternada com características compatíveis com os equipamentos eléctricos usualmente ligados à rede de distribuição.

2.2.1 Tipos de Inversores

Os inversores utilizados em sistemas de produção energética podem ser distribuídos por duas categorias dependendo da capacidade de estes operarem ou não em conjunto com a rede eléctrica. Assim, de uma maneira geral, estes dispositivos podem ser denominados como inversores *stand-alone*, caso não apresentem capacidade de conexão à rede de distribuição, ou inversores *grid-connected* caso sejam capazes de se sincronizarem com a rede eléctrica e fornecerem energia à mesma.

Inversores *Stand-Alone*

Os inversores *stand-alone* são sistemas que operam independentemente da rede eléctrica e tipicamente são utilizados em situações onde não existe a possibilidade de ligação à rede de distribuição como em localizações remotas, em barcos ou auto-caravanas, e onde há a necessidade de existência de uma fonte de alimentação alternada para a operação de diversos dispositivos.

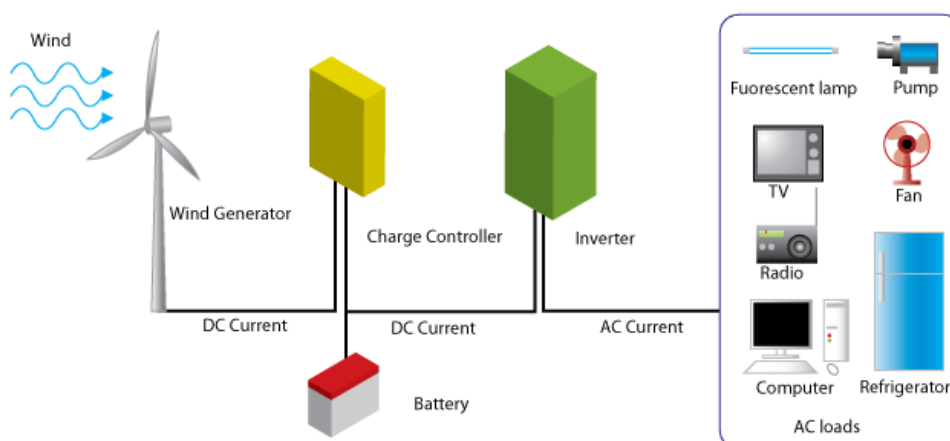


Figura 2.4: Aplicação de um inversor *stand-alone*, (Diagrama da empresa Windgen)

Uma consequência da independência destes inversores relativamente à rede eléctrica é a liberdade que a forma de onda à saída destes sistemas pode apresentar. No mercado dos inversores *stand-alone* existem três grandes categorias de sistemas relativamente ao tipo de onda que estes produzem.

- Onda sinusoidal - apresenta-se como a melhor forma de onda que se pode obter através de um inversor por apresentar a formatação ideal do sinal da rede eléctrica. Devido à maior qualidade da energia fornecida à carga, estes sistemas apresentam também custos mais elevados.
- Onda quadrada - A onda quadrada é a forma de onda menos desejada que se pode obter através de um inversor pois afasta-se tanto quanto possível da situação ideal da rede eléctrica, para o qual os dispositivos que operam com tensões alternadas foram especificados. Como consequência da sua maior simplicidade, estes inversores são tipicamente baratos mas poderão levar a baixo rendimento, causar mau funcionamento e até avarias nos dispositivos a si conectados. Contrariamente à onda sinusoidal da rede eléctrica, que a nível espectral apresenta praticamente toda a sua potência à frequência de 50Hz, a onda quadrada apresenta a sua potência distribuída por inúmeros harmónicos da sua frequência fundamental que poderão causar os problemas referidos. Para além do conteúdo espectral, a tensão de pico da forma de onda quadrada é inferior ao valor de pico da onda sinusoidal, o que para dispositivos mais sensíveis impede o seu correcto funcionamento. Como

consequência da forma de onda rudimentar, mesmo considerando os preços bastante reduzidos, este tipo de inversores não apresenta geralmente uma boa relação qualidade/preço face às limitações operacionais que apresentam.

- Onda quadrada modificada - Esta forma de onda apresenta-se num nível intermédio face às duas situações anteriormente expostas. Neste caso, a largura dos pulsos positivos e negativos é mais achatada permitindo uma maior aproximação ao valor de pico do seno. Ao mesmo tempo, a simplicidade de construção assemelha-se à de um inversor de forma de onda quadrada, o que lhe confere uma boa relação qualidade/preço.

Na figura 2.5 é apresentada uma comparação entre os três tipos de forma de onda.

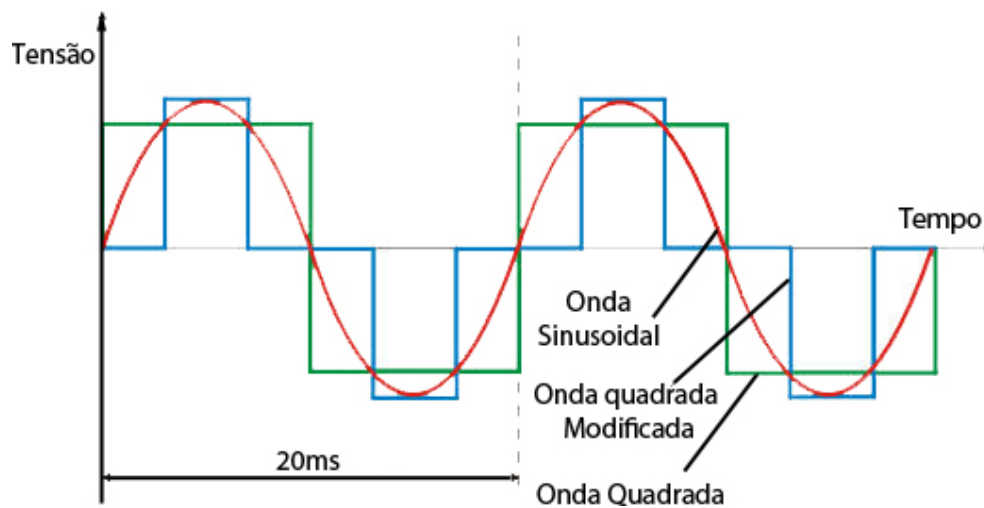


Figura 2.5: Formas de onda à saída de um inversor *stand-alone*

Inversores *Grid-Connected*

Os inversores *Grid-Connected* são sistemas que apresentam a capacidade de serem ligados à rede de distribuição eléctrica e fornecerem corrente eléctrica a esta. Devido a esta possibilidade, este tipo de inversores tem o seu campo de aplicação em sistemas de microgeração, permitindo que um utilizador particular para além de ser um consumidor seja também um produtor de energia eléctrica. No entanto, uma vez que a rede eléctrica é um meio de distribuição partilhado, é do interesse da entidade proprietária a manutenção de níveis de qualidade desta dentro de parâmetros aceitáveis. Assim, contrariamente ao inversor *stand-alone*, em que é possível estabelecer um compromisso entre a qualidade da forma de onda e o custo final do produto, no caso dos inversores *grid-connected* são impostos limites muito mais rígidos relativamente à distorção que a forma de onda de corrente pode apresentar, assim como à frequência e sincronismo com a onda de tensão da rede.

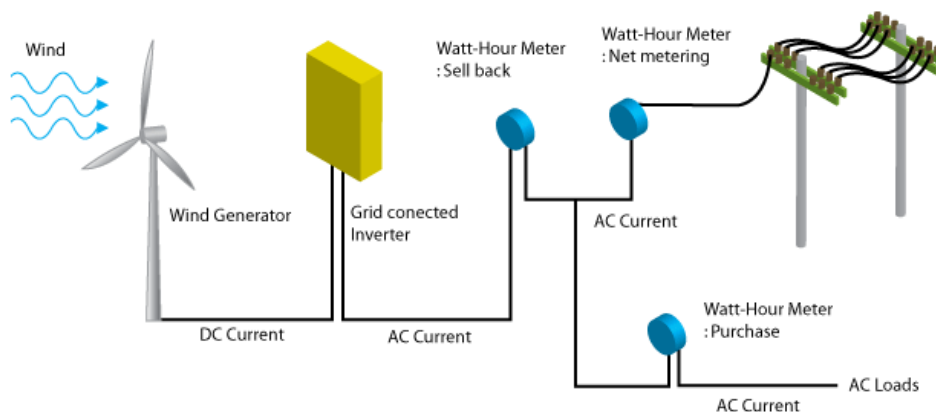


Figura 2.6: Aplicação de um inversor *grid-connected*, (Diagrama da empresa Windgen)

2.2.2 Distorção harmónica

Os harmónicos são tensões e correntes alternadas cuja frequência é um múltiplo inteiro da frequência fundamental da rede eléctrica.

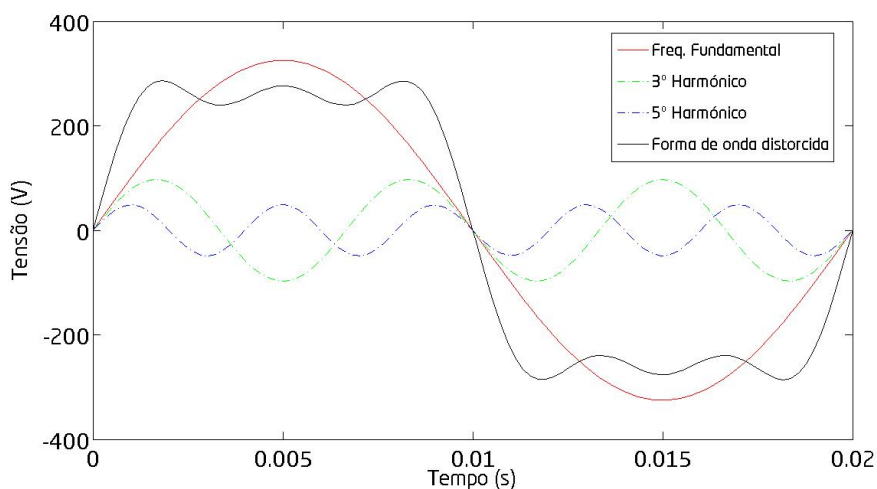


Figura 2.7: Forma de onda da rede distorcida devido à existência de harmónicos

O aparecimento de harmónicos na rede eléctrica está relacionado com a existência de comportamentos não lineares dos dispositivos a ela ligados. Uma fonte comum de harmónicos são os transformadores que apresentam um comportamento linear numa gama limitada de densidade de fluxo no núcleo [31], podendo apresentar uma forma de onda distorcida aos seus terminais. Outros dispositivos como rectificadores, inversores, conversores de frequência, que possuem sistemas comutados baseados em semicondutores também são fontes significativas de harmónicos na rede devido às interrupções abruptas que causam nas formas de onda de corrente durante a

transição entre os estados de condução e de corte.

Para além de distorcerem a forma de onda sinusoidal da tensão e corrente da rede, a existência de harmónicos na rede reduz a capacidade de fornecimento de potência real e aumenta também as perdas por dissipação térmica nos cabos de transmissão. Os sistemas de distribuição de energia eléctrica apresentam-se dimensionados para serem capazes de fornecer uma corrente máxima I_{rms} a todas as cargas a si conectadas. No caso da rede eléctrica se apresentar constituída apenas pela onda de corrente à frequência fundamental, a potência entregue às cargas será a sua potência nominal. No entanto, caso existam harmónicos, o valor de I_{rms} dependerá também da corrente às frequências relevantes, resultando a expressão 2.1.

$$I_{rms} = \sqrt{I_1^2 + I_2^2 + I_3^2 + \dots + I_N^2} \quad (2.1)$$

Como as cargas da rede consomem apenas potência real, entregue pela corrente à frequência fundamental, a existência de componentes a altas frequências reduz efectivamente a potência útil dos sistemas de distribuição, fazendo no entanto uso da capacidade destes. Além disso, os harmónicos da onda de corrente resultam num aumento das perdas por dissipação térmica nos fios condutores e transformadores da rede. A impedância destes elementos a frequências elevadas é superior relativamente ao valor que apresentam à frequência fundamental devido ao aparecimento do efeito pelicular nos condutores. Este efeito caracteriza-se pela tendência apresentada pelas correntes a alta frequência circular apenas nas regiões periféricas dos condutores, o que leva a uma redução efectiva da secção de condução e consequente aumento da resistência deste. Ao nível dos transformadores, para além do aumento das perdas nos enrolamentos, as correntes a altas frequências podem levar ao aumento das perdas por dissipação térmica causadas por correntes de Foucault ao nível do núcleo e a maiores perdas por histerese magnética.

Um outro problema indirecto causado pela existência de harmónicos na rede é a possibilidade de existência de fenómenos de ressonância. Certos harmónicos poderão excitar frequências ressonantes dos sistemas, causando eventualmente danos como consequência das altas tensões que surgem nestas situações.

Devido aos efeitos adversos causados pelos harmónicos da rede nos dispositivos eléctricos e por forma a reduzir a presença destes na rede eléctrica, foi criada a norma IEEE 519-1992 que define práticas recomendáveis para efectuar o controlo dos harmónicos da rede, estipulando também a distorção harmónica máxima permitida em vários tipos de sistemas. A distorção harmónica total (THD) é uma relação que permite avaliar a distorção da rede eléctrica face aos seus valores nominais, comparando o valor da potência espectral do sinal com a potência apresentada à frequência fundamental, encontrando-se apresentada em 2.2.

$$THD\% = \frac{P_{Total} - P_{fundamental}}{P_{fundamental}} \cdot 100 \quad (2.2)$$

A tabela 2.1 apresenta os valores limites para a corrente dos diversos harmónicos da rede em sistemas de distribuição até aos 69kV, dependendo da relação da corrente de curto-circuito e a corrente nominal no ponto de ligação entre a rede e o dispositivo a ela ligado ($\frac{I_{CC}}{I_L}$). Esta relação

permite quantificar a significância das perturbações causadas pelo inversor na qualidade da rede de distribuição, quando este opera indevidamente.

Distorção harmónica máxima em percentagem de I_L						
Harmónicos de Ordem Ímpar						
I_{CC}/I_L	$h < 11$	$11 \leq h < 17$	$17 \leq h < 23$	$23 \leq h < 35$	$35 \leq h$	THD %
$< 20^*$	4.0	2.0	1.5	0.6	0.3	5.0
20 – 50	7.0	3.5	2.5	1.0	0.5	8.0
50 – 100	10.0	4.5	4.0	1.5	0.7	12.0
100 – 1000	12.0	5.5	5.0	2.0	1.0	15.0
> 1000	15.0	7.0	6.0	2.5	1.4	20.0
Os harmónicos pares estão limitados a 25% dos valores apresentados para os harmónicos ímpares						
* Todos os dispositivos de geração de energia estão limitados a este valor independentemente da relação I_{CC}/I_L						

Tabela 2.1: Limites de distorção da corrente em sistemas de distribuição de energia até 69kV [19]

Os valores apresentados deverão ser aplicados no pior caso de funcionamento, em situações de operação anormal dos sistemas durante períodos superiores a uma hora. Em situações transitórias, causadas por arranques e condições não usuais, os limites apresentados poderão ser excedidos em 50% [19].

A existência de harmónicos na rede eléctrica continuará a ser um problema uma vez que cada vez mais dispositivos que os produzem são adicionados às redes eléctricas. No entanto, um processo de desenvolvimento destes sistemas tendo em consideração a existência deste problema levará a um melhor controlo e redução dos efeitos negativos causados por estas perturbações.

2.2.3 *Islanding*

Uma das preocupações relativas à instalação e operação de sistemas distribuídos de geração de electricidade prende-se com a detecção de situações de *islanding*. O conceito de *islanding* é definido pela norma IEEE 1547 como uma condição em que parte de uma rede de distribuição continua a ser alimentada por um sistema de produção de energia, ainda que a rede principal deixe de estar presente. Esta situação pode ser bastante perigosa para trabalhadores que realizem a manutenção de instalações eléctricas, uma vez que podem não se aperceber que, embora tenha sido desligada a rede, esta continua a ser alimentada por um outro dispositivo a ela ligado. Por esta razão, geradores distribuídos deverão ser capazes de detectar estas situações de falha e cessar imediatamente o fornecimento à rede, sendo este mecanismo conhecido como *anti-islanding*.

Existem vários métodos utilizados para detectar esta situação sendo agrupados em três categorias distintas: métodos passivos, activos e métodos envolvendo redes de comunicações. Os métodos passivos limitam-se a monitorizar as variações de parâmetros da rede como o valor de pico da voltagem, a frequência, saltos de fase ou o conteúdo espectral da rede, cessando a sua operação quando estes se afastam das gamas de operação admissíveis. Os métodos activos determinam o estado da rede introduzindo deliberadamente perturbações no circuito, tais como desvios de frequência na corrente injectada ou medição de impedância da rede avaliando a resposta da rede segundo parâmetros esperados. O terceiro método baseia-se na utilização de redes

de comunicação através do qual os sistemas ligados à rede recebem informações sobre o estado desta, normalmente enviada a partir de sistemas de controlo centralizados [4].

A existência de diferentes metodologias para detectar as situações de falha da rede eléctrica deve-se ao facto de poderem ocorrer situações em que a sensibilidade destes sistemas e os tipos de carga apresentados à sua saída impossibilitarem a correcta distinção entre o funcionamento normal da rede e as situações problemáticas em que o inversor se encontra a suportar a rede. Assim, existirão zonas de não-deteção que deverão ser avaliadas e condicionarão a aceitação e utilização dos inversores em sistemas ligados à rede de distribuição.

2.3 Revisão das topologias de inversores

Os recentes avanços na tecnologia dos semicondutores, observável ao nível do aumento da robustez dos componentes de comutação, capazes de suportar altas potências e altas frequências de comutação, e o aparecimento de ferrites capazes de operar a frequências cada vez mais elevadas, com menores perdas por histerese e correntes de Foucault, tiveram um grande impacto na evolução das topologias dos inversores, a nível da sua eficiência, técnicas de controlo utilizadas e potencial de redução de custos de produção. Embora a redução de custos e o aumento da eficiência sejam os aspectos mais positivos para o mercado de vendas destes produtos, a robustez, segurança, compatibilidade electromagnética e funcionalidades de monitorização têm recebido cada vez mais atenção por parte dos projectistas. Além disso, a especificidade da aplicação a que se destinam como a potência nominal pretendida e a gama de tensões de entrada que permitem a operação do sistema, acabam por definir as abordagens a utilizar e condicionar a complexidade das topologia em prol dos melhores resultados na etapa de conversão de DC para AC.

Seguidamente serão apresentadas algumas topologias deste tipo de sistemas.

Inversor comutado sem transformador de isolamento

Nos últimos anos, a cota de mercado dos inversores sem transformadores de isolamento tem aumentado ligeiramente por apresentarem geralmente uma boa eficiência, baixos custos de produção e reduzidas dimensões. No entanto, estes possuem uma grande desvantagem que é a inexistência de isolamento galvânico entre a fonte da entrada e a rede eléctrica, existindo então a possibilidade de correntes não desejadas fluírem entre as duas secções do sistema. Como consequência de não existir desacoplamento da rede eléctrica, em situações de falha no controlo, existe a possibilidade de corrente DC ser injectada nesta levando à saturação dos núcleos dos transformadores de outros dispositivos e consequentemente danificá-los por sobreaquecimento. Do ponto de vista do lado DC do sistema, no caso da fonte de entrada ser um painel fotovoltaico, é conhecido que a sua superfície forma um condensador relativamente à terra, tanto maior quanto maior for a área do painel pelo que, inversores sem transformador e que não garantam uma ligação à terra na sua entrada, permitem que flutuações de potencial entre a terra e o painel carreguem a capacidade parasita destes e, no caso de uma pessoa ligada à terra tocar no painel fotovoltaico, haja uma descarga através desta causando acidentes eléctricos [24, 28]. Nestas topologias, dependendo da tensão disponibilizada pela fonte DC à entrada, poderá ser ou não

necessária uma etapa de elevação de tensão, através da utilização de conversores DC-DC. Seguidamente é realizada a conversão DC-AC através da utilização de uma ponte inversora constituída por circuitos de comutação que alternam o seu funcionamento a uma frequência bastante elevada, sendo o *duty-cycle* de funcionamento da ponte modulado por uma onda sinusoidal a 50Hz. Seguidamente procede-se a uma fase de filtragem, de modo a eliminar o conteúdo espectral a alta frequência da corrente, antes de se efectuar a ligação à rede eléctrica.

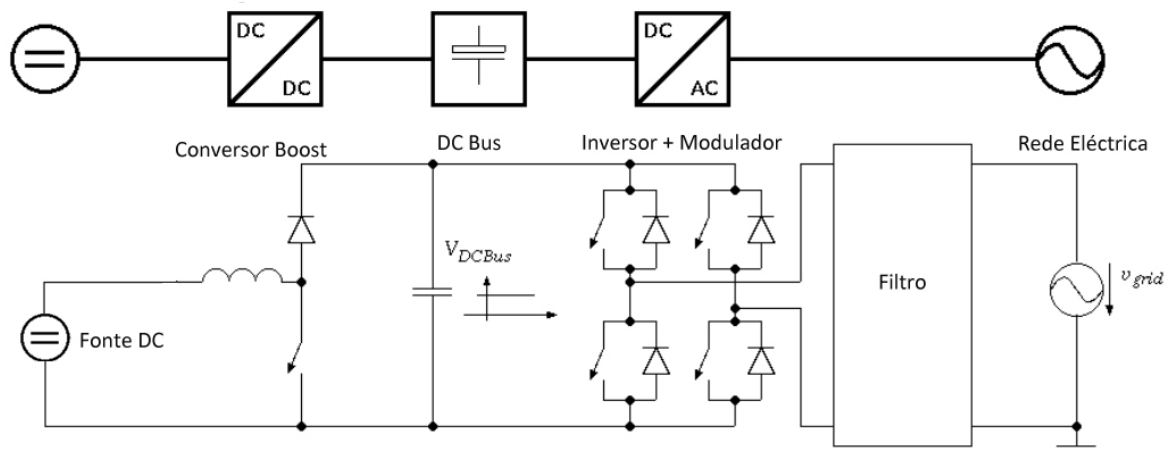


Figura 2.8: Inversor comutado sem transformador de isolamento

Existem no entanto topologias não isoladas que permitem minimizar os problemas da inexistência de isolamento entre a rede e a fonte à entrada, como a topologia *flying inductor*, que realiza a elevação e modulação da tensão DC para AC numa única etapa e permite que a entrada do sistema esteja ao mesmo potencial da saída [24].

Inversor com transformador operando a 50Hz

Quando a existência de isolamento galvânico é um requisito obrigatório na implementação de um inversor, torna-se necessária a utilização de um transformador. O modelo apresentado na figura 2.9 é um exemplo de uma topologia em que está presente do lado AC do sistema um transformador que, para além da sua utilização enquanto elemento elevador de tensão, permite também efectuar o isolamento galvânico entre os dois terminais do inversor.

Nesta topologia, a modulação da tensão DC é realizada a baixa tensão e, após passagem por uma etapa de filtragem, obtém-se um sinal sinusoidal a 50Hz, que apenas necessita de ser elevado a uma tensão superior à da rede eléctrica. Esta última etapa é efectuada recorrendo a um transformador elevador especificado para operar a 50Hz. No entanto, um transformador dimensionado para esta frequência de operação e capaz de suportar potências razoavelmente elevadas apresenta um núcleo de grandes dimensões de modo a não saturar, o que se torna bastante dispendioso.

Devido a esta última fase, este sistema não é adoptado quando são necessárias grandes potências [24].

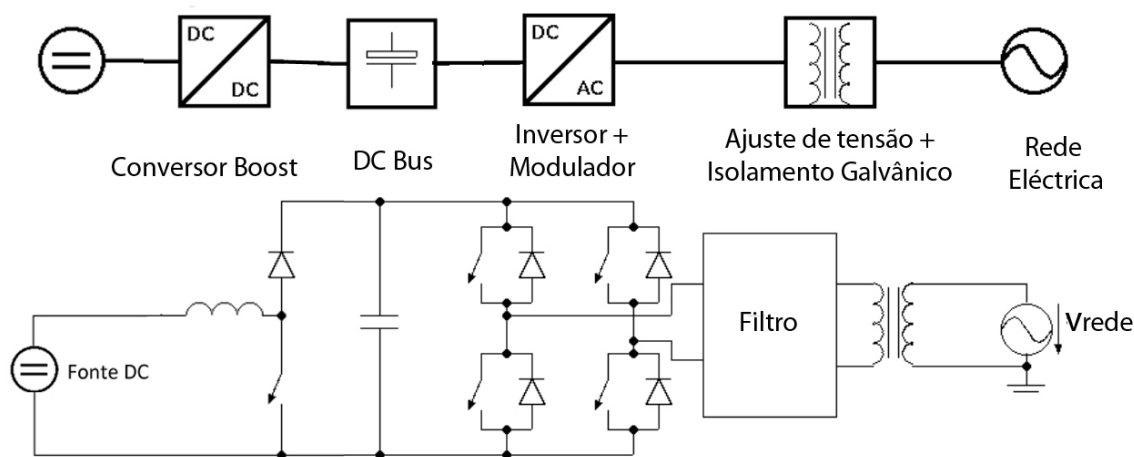


Figura 2.9: Inversor com transformador de isolamento de baixa frequência

Inversor com transformador operando a alta frequência

Uma vez que a utilização de um transformador, elemento necessário para realizar o isolamento galvânico do sistema, é um componente que compromete as dimensões e o custo final do sistema, é importante que a topologia deste permita a utilização de um com menores dimensões pelo que, este deverá ser colocado numa secção em que opere a altas frequências.

Na topologia apresentada na figura 2.10, o isolamento e a elevação de tensão são realizados ao nível do conversor DC-DC presente à entrada do sistema. A etapa seguinte será realizar a modulação da tensão DC, já a uma tensão superior à da rede eléctrica, utilizando-se uma portadora de alta frequência modulada por uma onda sinusoidal de 50Hz, sendo posteriormente realizada a ligação à rede através de um filtro passa baixo de modo a se ter uma onda sinusoidal à frequência da rede.

Uma das grandes vantagens desta topologia vem da modularidade e expansibilidade que apresenta, pois a elevação da tensão e a sua modulação são realizadas em etapas distintas. Assim, em situações em que existem múltiplas fontes de energia é possível utilizar vários conversores DC-DC, que maximizam individualmente a potência extraída de cada fonte, e são conectados a um único conversor DC-AC centralizado, conceito apresentado na figura 2.11 [36].

No entanto, para sistemas em que apenas se pretende utilizar uma única fonte DC, a modularidade da topologia apresentada não constitui uma vantagem uma vez que apresenta potencialmente mais perdas ao nível dos componentes de comutação e maior ruído a alta frequência pois é necessário proceder a comutações a alta frequência em duas fases distintas, na etapa de elevação e na modulação da tensão DC.

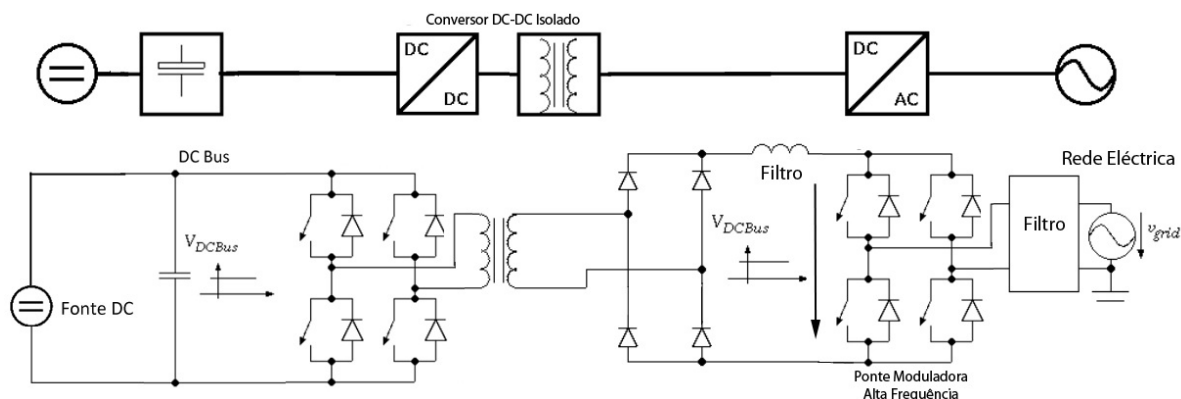


Figura 2.10: Inversor com transformador de isolamento a alta frequência

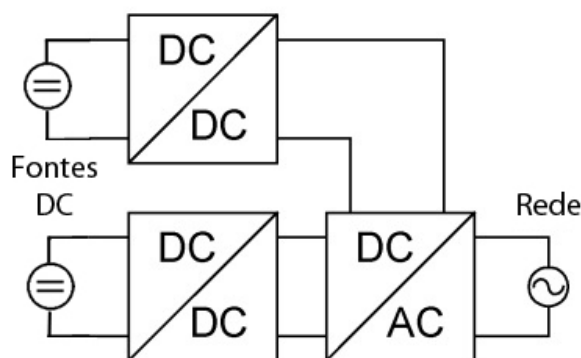


Figura 2.11: Diagrama conceptual da implementação modular de um inversor DC-AC

Inversor comutado com isolamento galvânico e modulação no primário do transformador

Seguindo o mesmo princípio de isolamento do sistema apresentado anteriormente, também nesta topologia, apresentada em 2.12, se utiliza um conversor comutado para realizar a elevação da tensão da fonte DC e garantir a existência de isolamento galvânico entre a entrada e a saída do sistema. No entanto, ao invés de na primeira etapa se efectuar unicamente a elevação do nível DC, a comutação do primário do transformador é realizada de modo à saída do conversor seguir um *set-point* variável ao longo do tempo, modulado por arcadas sinusoidais positivas a 100Hz. Após uma primeira filtragem passa-baixo para eliminar a componente de alta frequência do sinal, é requerido um sistema adicional que realize a inversão das arcadas a 100Hz, de modo a se obter uma sinusóide com uma frequência de 50Hz. A filtragem presente na etapa final do sistema, para além de permitir eliminar algum ruído resultante da etapa de inversão das arcadas a baixa frequência, permite desacoplar o primeiro filtro da rede e também controlar o fluxo de corrente injectada na rede, quando se pretendem interligar dois sistemas alternados.

Esta implementação permite também reduzir o número de elementos comutadores a operar a alta frequência, comparativamente à topologia apresentada anteriormente, diminuindo o po-

tencial de perdas nos elementos comutadores, reduzir as dimensões do sistema por agrupar as fases de modulação, elevação e isolamento numa única etapa e, consequentemente, minimizar os custos de implementação.

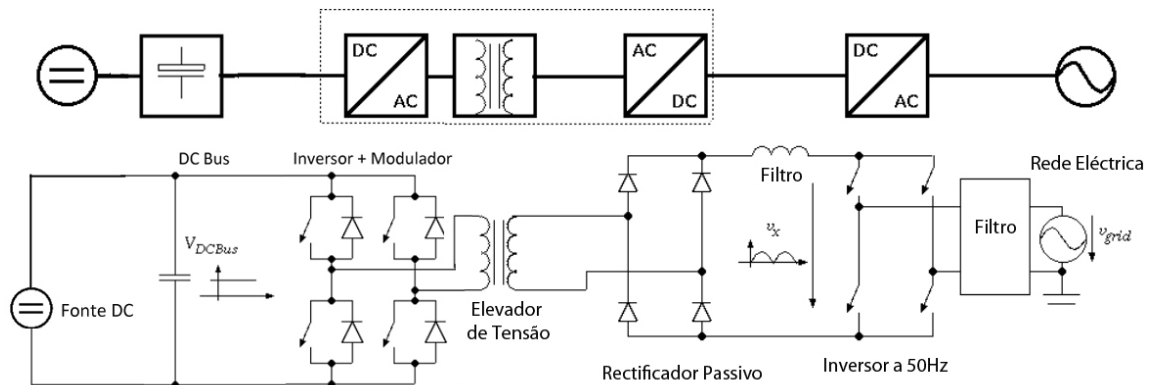


Figura 2.12: Inversor com transformador de isolamento a alta frequência

É com base nesta topologia que se implementou o inversor desta dissertação pelo que, no capítulo seguinte será realizada uma exposição detalhada de todas as etapas do mesmo.

Capítulo 3

Arquitectura do sistema desenvolvido

O inversor desenvolvido nesta dissertação é um dispositivo que apresenta uma saída monofásica, tem uma gama de tensões de entrada entre os 20V e os 50V e uma potência máxima 2.3kVA com capacidade de operar no modo *grid-connected*. A topologia do sistema é baseada no inversor com isolamento galvânico e modulação no primário, brevemente apresentada no capítulo 2, e será agora exposta de uma forma mais detalhada. Para tal, efectuou-se uma segmentação do sistema nos blocos funcionais apresentados em 3.1, explicados individualmente nas secções seguintes.

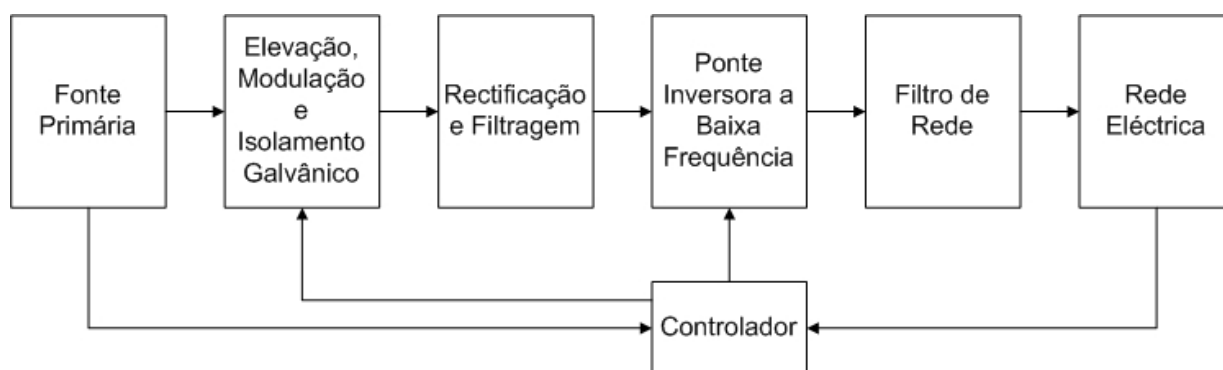


Figura 3.1: Diagrama de blocos do Inversor

3.1 Fonte Primária

A fonte primária utilizada para realizar os testes apresentados nesta dissertação é constituída por um banco de baterias ligadas em série, duas de 12V e uma de 6V, que totalizam uma tensão DC de 30V, ligadas em paralelo com uma fonte DC, que efectua o carregamento contínuo destas. Em condições finais de desenvolvimento, de acordo com a regulamentação nacional relativa à microgeração, um inversor que opere no modo *grid-connected* não necessita de um banco de baterias uma vez que toda a energia produzida é, muito vantajosamente, vendida à rede de distribuição. No entanto, num futuro próximo, o produtor poderá optar por armazenar energia num banco de baterias, quando a produção energética é superior ao seu consumo e utilizará a rede de distribuição apenas em situações pontuais.

Em paralelo com a entrada encontra-se um conjunto de quatro condensadores de alta capacidade, totalizando 40mF, que permitem manter o *ripple* da tensão em níveis reduzidos quando há um grande fluxo de corrente na entrada do inversor, e actuar como *buffer* durante alguns ciclos em caso de falha da fonte primária. Na figura 3.2 encontra-se representada esta secção do sistema.

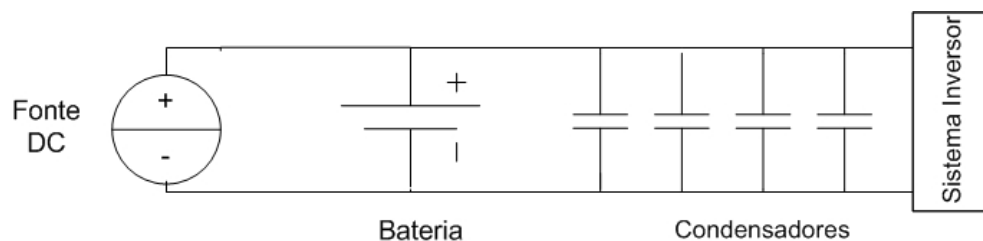


Figura 3.2: fonte Primária do Inversor

3.2 Elevação, Modulação e Isolamento Galvânico

Uma das características particulares deste inversor é o facto da implementação do sistema de desacoplamento galvânico, elevação e modulação da tensão DC da fonte primária ser realizada numa única etapa.

O isolamento galvânico entre a secção DC e a secção AC do sistema bem como a elevação da tensão são realizados através da utilização de um transformador com uma relação de espiras apropriada. A função do transformador é transferir energia entre a sua entrada e saída através de um campo magnético mas, devido à existência de comportamentos não ideais ao nível do seu núcleo, existem limitações no que concerne ao fluxo magnético máximo suportado e consequentemente à potência máxima do transformador. Em situações em que é necessário transferir grandes potências, a utilização de transformadores a baixa frequência implica a utilização de núcleos de grande dimensão, de modo a que o limiar da saturação destes nunca seja atingido pelo fluxo magnético gerado. Ainda que esta solução seja eficaz do ponto de vista dos resultados, o maior

peso e dimensões resultantes tornam este componente muito volumoso e dispendioso. Na implementação de um inversor, em vez de se aumentar o tamanho do núcleo, é preferível aumentar a sua frequência de operação. No entanto, a operação a altas frequências leva ao aparecimento de novos mecanismos de perdas quer no núcleo, relacionados o aparecimento de correntes de Foucault, quer nos condutores, devido ao efeito pelicular e de proximidade, que se revelam na forma de maior dissipação térmica. Para ultrapassar estes problemas, torna-se necessário utilizar núcleos com elevada resistividade a altas frequências, como ferrites, núcleos de ferro laminado ou núcleos de pó de ferro [20] e condutores que garantam uma distribuição de corrente uniforme pelo condutor como é o caso do fio de Litz, em que os elementos condutores alternam a sua posição relativa ao longo do cabo como é apresentado na figura 3.3.

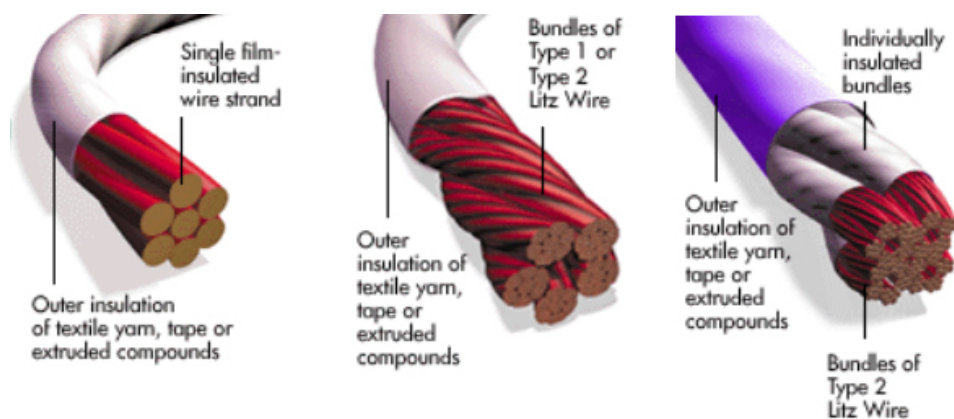


Figura 3.3: Diferentes tipos de fio de Litz da empresa *New England Wire*

Em concordância com os conceitos expostos, o transformador utilizado neste inversor foi dimensionado para operar a 133kHz, apresentando um núcleo de ferrite de material N30 do fabricante *EPCOS*, um enrolamento primário feito em folha de cobre de modo a apresentar uma menor resistência à passagem das correntes elevadas e possibilitar uma maior área de dissipação térmica do condutor, e um enrolamento secundário realizado com fio de Litz. Relativamente ao último, optou-se pela utilização de um enrolamento simples, sem tomada central, uma vez que, sendo este transformador um elevador de tensão para valores superiores ao pico da rede eléctrica, a tensão diferencial que se obtém aos terminais do secundário será metade da que se teria no caso do transformador ter tomada central, que seria bastante elevada e possível fonte de problemas de segurança/isolamento no sistema [32].

Para controlar a tensão aplicada aos terminais do enrolamento primário e consequente fluxo magnético que percorre o núcleo do transformador, existem duas categorias gerais de sistemas de comutação, conhecidos como topologias *single-ended* e topologias *double-ended*. Nas topologias *single-ended*, o enrolamento primário é sempre submetido a uma tensão com a mesma polaridade durante o tempo em que os circuitos de comutação estão fechados. Devido a este facto, de modo a evitar a magnetização do núcleo do transformador, é necessário garantir a existência de um período, no qual os comutadores estão em aberto, suficientemente grande de modo

a permitir a anulação do fluxo magnético no núcleo. Neste caso, a desmagnetização do núcleo é realizada de forma natural, o que resulta num uso ineficiente das capacidades deste e consequentemente impõe uma limitação na transferência máxima de energia através do núcleo do transformador [11].

Em sistemas em que seja necessário maximizar a transferência de energia entre os enrolamentos do transformador, opta-se pela utilização de topologias *double-ended*. Estas permitem alternar a polaridade da tensão aplicada ao primário do transformador o que, sendo efectuado de uma forma simétrica, força o anulamento da magnetização do núcleo. Esta solução necessita, no entanto, de mais do que um circuito de comutação e, eventualmente, transformadores com enrolamentos mais complexos. De entre as diversas topologias *double-ended* conhecidas, como a configuração *Push-Pull*, *Half-Bridge* ou *Full-Bridge*, foi utilizado um circuito segundo o conceito *Full-Bridge* pois permite a utilização de um transformador com dimensões mais reduzidos comparativamente às restantes topologias, para os mesmos resultados ao nível da transferência de potência para o enrolamento secundário do transformador. Na topologia *Full-Bridge*, o anulamento forçado do fluxo magnético não está também dependente de condições de exacta simetria dos enrolamentos, como é o caso da topologia *Push-Pull*. O conceito de funcionamento deste sistema encontra-se apresentado em 3.4

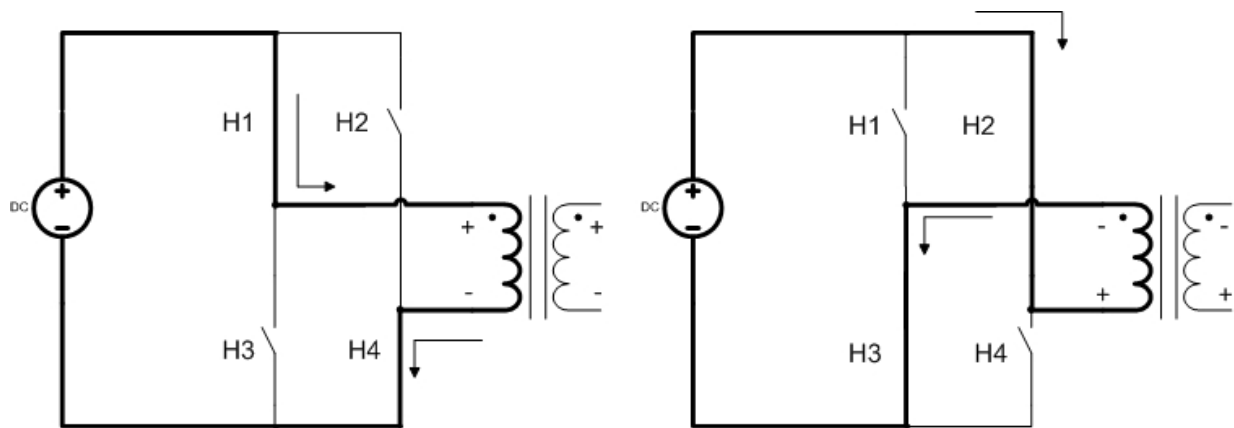


Figura 3.4: Alternância da tensão aplicada ao enrolamento primário utilizando uma topologia *double-ended* baseada em *Full-Bridge*

Ao nível da implementação da *Full-Bridge*, é necessária a utilização de quatro circuitos comutadores dispostos em ponte H, como é apresentado na figura 3.4. Devido à elevada corrente que circula no enrolamento primário, foram utilizados como circuitos comutadores em cada secção da ponte dois *MOSFETs* de potência, com baixa resistência de condução (R_{DS}), na ordem dos $10m\Omega$. Estando estes componentes dispostos em paralelo, como é evidenciado em 3.5, cada *MOSFET* necessita de suportar apenas metade da corrente máxima que flui pelo enrolamento primário, e a redução consequente da resistência de condução equivalente do comutador permite uma maior redução das perdas por dissipação térmica, dada por $P = R_{DS} \cdot I^2$.

Outra vantagem relativa à utilização de uma *Full-Bridge* é o facto da tensão máxima de V_{DS} inverso a que um *MOSFET* está sujeito se encontra sensivelmente limitada a V_{DC} . Devido à ine-

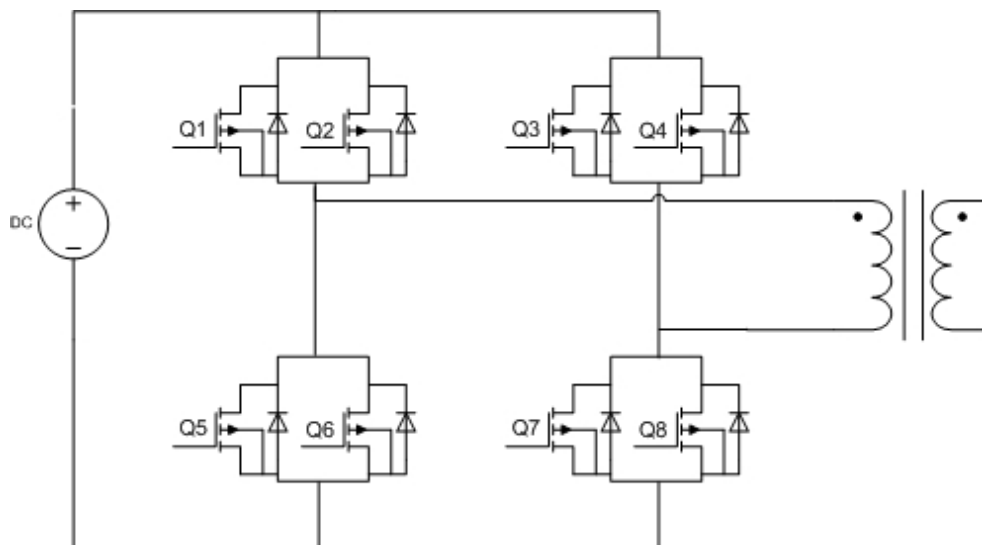


Figura 3.5: Implementação da *Full-Bridge* com *MOSFETs* em pares

xistência de acoplamento magnético ideal entre os enrolamentos do transformador, existe energia que não é transferida para o enrolamento secundário ficando armazenada em indutâncias de fugas no enrolamento primário. No instante em que se desligam os *MOSFETs* em condução não pode ocorrer um anulamento brusco no fluxo magnético da indutância de fugas uma vez que isso causaria o aparecimento de uma tensão bastante elevada aos seus terminais. No caso da *Full-Bridge*, uma vez que os *MOSFETs* apresentam díodos roda-livre intrínsecos em paralelo, quando um par de *MOSFETs* passa ao estado *OFF*, a brusca inversão de tensão aos terminais do primário do transformador polariza directamente dois díodos de roda livre do par de *MOSFETs* oposto, sendo desta forma realizado o *clamping* ao pico de tensão gerado. No entanto, de modo a salvar a guardar o sistema do facto dos díodos de roda livre não entrarem em condução instantaneamente após o corte da corrente no *MOSFET*, mesmo usando dispositivos onde os díodos intrínsecos são garantidamente rápidos, e de forma a existir sempre um caminho por onde a energia armazenada na bobine possa fluir durante o período em que nenhum dos comutadores se encontra aberto, paralelamente aos *MOSFETs* estão colocados *snubbers*, circuitos que na forma mais simples são compostos por uma resistência e um condensador em série, que efectuem o amortecimento do picos de tensão gerado durante um curto período de tempo. A implementação do *snubber* RC encontra-se apresentada na figura 3.6.

Devido à existência destes componentes de protecção, não é necessário utilizar *MOSFETs* com capacidade para suportar tensões V_{DS} bastante elevados, que normalmente apresentam $R_{DS}(ON)$ maiores, reduzindo as perdas por dissipação nestes componentes.

Na figura 3.7 é apresentado um diagrama temporal relativo a dois períodos de comutação da ponte, onde são observáveis os níveis de tensão em vários pontos da ponte H.

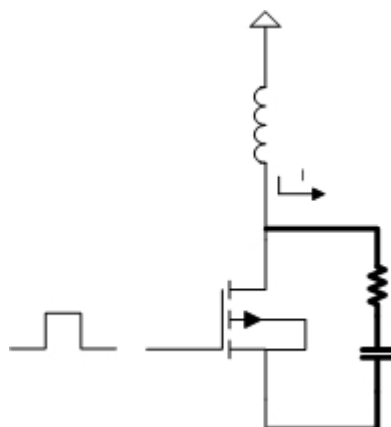


Figura 3.6: Implementação de um *snubber* RC para protecção do *MOSFET* do regime transitório

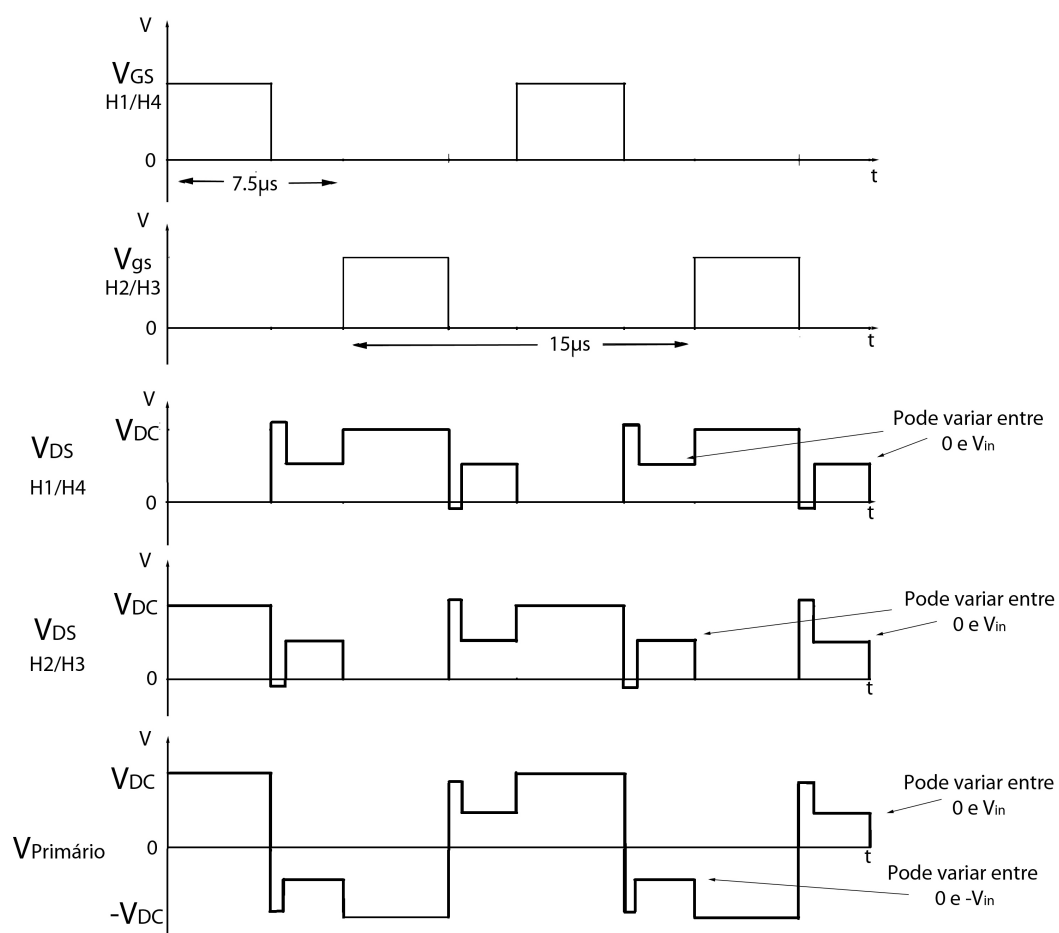


Figura 3.7: Diagrama temporal das várias tensões relevantes na *Full-Bridge*

Nesta configuração, dois dos circuitos de comutação, localizados no topo da ponte H, estão referenciados a uma tensão flutuante, pelo que é necessária a utilização de *drivers* opticamente isolados de ataque às respectivas *gates* com alimentações independentes. Ainda que não seja necessário, os *MOSFETs* da secção inferior da ponte são actuados também utilizando *drivers* isolados, estando desta forma todos os componentes da secção de potência DC isolados do circuito lógico de controlo do inversor ou qualquer outro dispositivo de monitorização a si ligado, como um computador através de um cabo série ou USB, eliminando também todas as perturbações eventualmente causadas pela comutação a alta frequência da *Full-Bridge* no circuito de controlo.

Numa topologia *Full-Bridge* é possível, teoricamente, que o transformador tenha um *duty-cycle* de operação de 100% o que significa que à sua entrada está aplicada uma tensão na totalidade do tempo e este está a fornecer potência à sua saída continuamente. No entanto, relativamente aos circuitos de comutação, uma vez que o funcionamento destes numa ponte H é alternado, na situação referida cada comutador estará no máximo 50% do tempo no estado *ON*, de modo a que a tensão média aplicada ao primário seja nula ao fim de um período. É com base neste conceito que é feito o controlo dos *MOSFETs* da ponte H, sendo o período de tempo em que o transformador está em operação controlado por um sinal *PWM*, proveniente do microcontrolador, com uma frequência de 133kHz e um *duty-cycle* variável. De modo a evitar a ocorrência de curto circuitos ao nível da comutação da *Full-Bridge* e proteger o sistema de elevadas correntes à sua entrada, os *MOSFETs* da ponte H são controlados através de um circuito digital que garante a exclusividade mútua das activaões dos segmentos da ponte, reduzindo assim a possibilidade de erros de *software* causarem problemas.

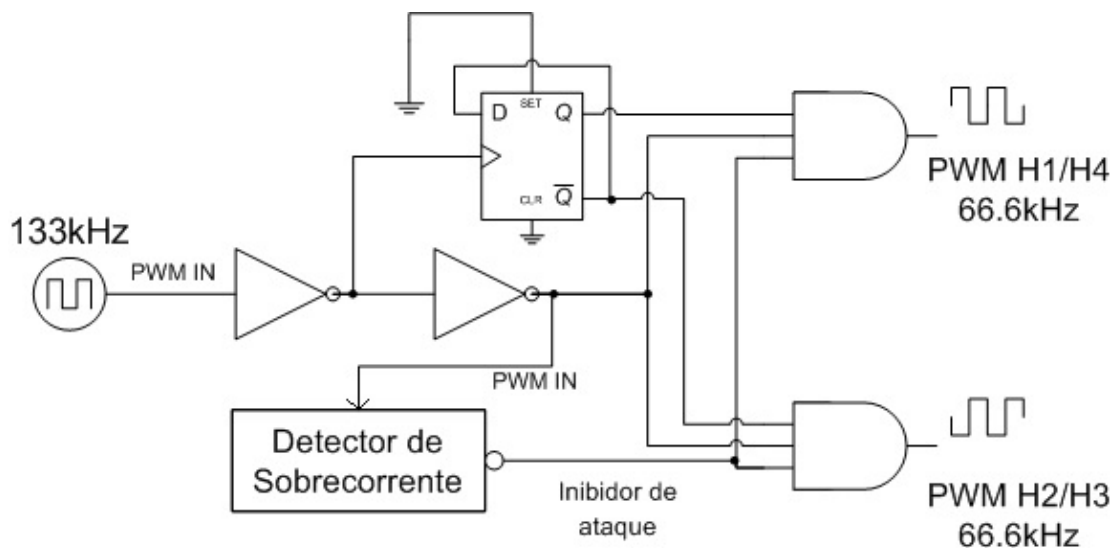


Figura 3.8: Mecanismo de Geração dos sinais de controlo da ponte H

Através de um circuito de divisão de frequência e lógica adicional, apresentado na figura 3.8, é obtido o sinal de controlo individual de cada segmento da ponte H. Na realidade, uma vez que a transição entre o estado *ON* e o estado *OFF* dos *MOSFETs* não é instantâneo e existem

atrasos relativos à actuação dos *drivers* de ataque. De modo a evitar a ocorrência de curto-circuitos na ponte entre as transições de estados, dever-se-á garantir um tempo morto nas trocas dos *MOSFETs* em condução, limitando-se o tempo máximo de funcionamento do transformador conservativamente a 85% do período de controlo. Esta situação encontra-se evidenciada na figura 3.9.

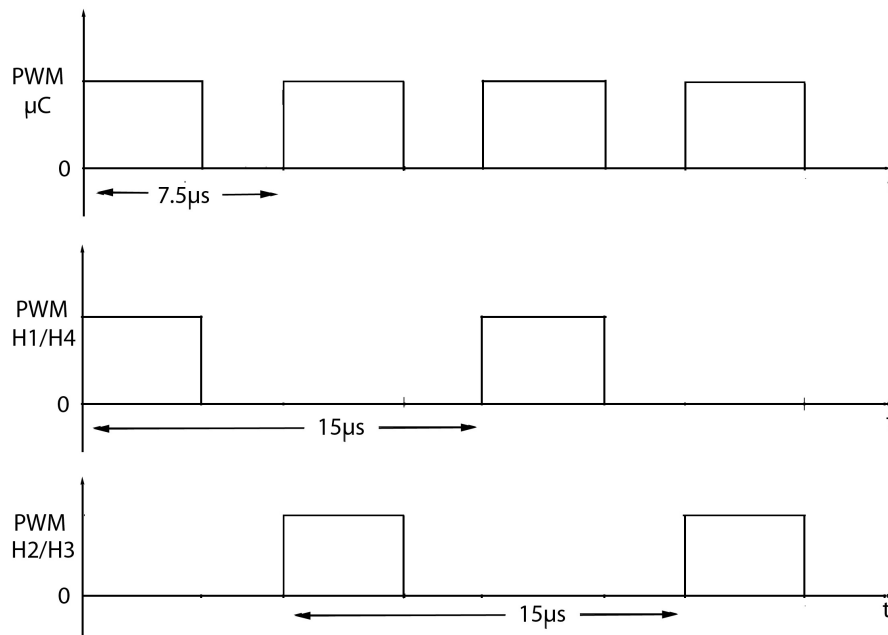


Figura 3.9: Relação entre sinal *PWM* de controlo do microcontrolador e os sinais individuais de ataque aos *MOSFETs*

Uma vez que o anulamento do fluxo magnético é totalmente controlado pela *Full-Bridge*, é possível que a existência de assimetrias no mecanismo de comutação não garantam uma tensão média aplicada ao primário do transformador nula. Desta forma, existirá sempre um fluxo magnético remanescente que, ao fim de alguns ciclos de operação poderá levar à saturação do núcleo do transformador e, conseqüentemente, ao aparecimento de correntes bastante elevadas que causam desgaste no transformador e podem exceder as especificações do sistema. De modo a proteger o sistema destas situações, foi utilizado um circuito de comparação rápido, apresentado genericamente na figura 3.10, cujo resultado desactiva o circuito de ataque aos *MOSFETs* até ao fim do ciclo de actuação quando o limite de corrente máxima é ultrapassado, efectuando-se assim o ajuste dinâmico do valor máximo do *duty-cycle* dependendo das condições de funcionamento do sistema.

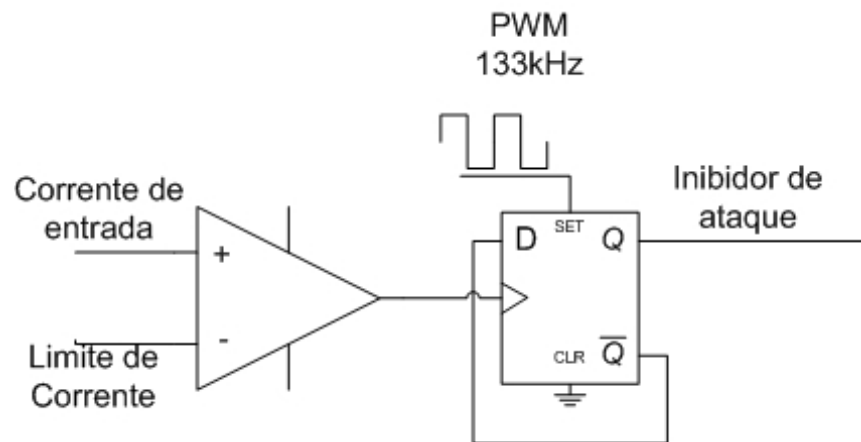


Figura 3.10: Circuito de protecção do Inversor contra sobre-correntes

O sinal *Pulse-Width Modulation* que controla a comutação da *Full-Bridge* permite obter ao nível do secundário do transformador um sinal de tensão que apresenta apenas valores de tensão discretos, V_{sec} , $-V_{sec}$ e 0. De modo a se produzir uma onda de corrente compatível com a rede eléctrica à saída do inversor, é necessário utilizar uma técnica de modulação do valor do *duty-cycle* do sinal de *PWM* de forma a que, após a utilização de um filtro com característica passa-baixo, se consiga recuperar uma onda sinusoidal com a frequência de 50Hz.

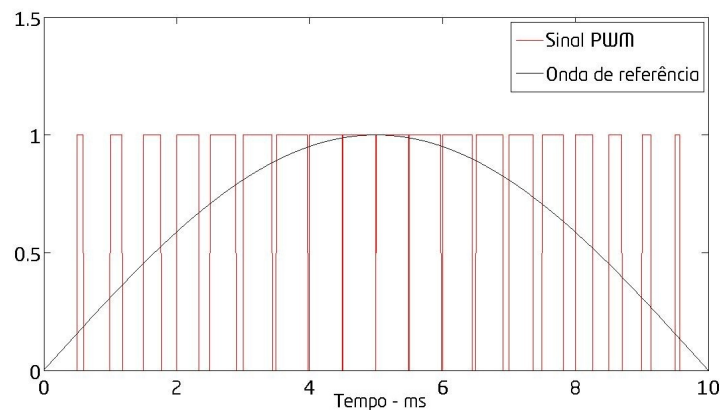


Figura 3.11: Sinal *PWM* com *duty-cycle* modulado sinusoidalmente

Na figura 3.11 é apresentado um sinal *PWM* com uma frequência portadora baixa, de modo a permitir uma fácil observação da dinâmica deste método. Esta técnica será alvo de uma abordagem mais detalhada no capítulo 5.

3.3 Rectificação e Filtragem

Como foi explicitado na secção anterior, de modo a ser possível transferir energia através do transformador, foi realizada a modulação sinusoidal a alta frequência de uma tensão DC aplicada ao enrolamento primário do transformador. De modo a evitar a saturação do núcleo do transformador, a polaridade da tensão aplicada ao nível do enrolamento primário foi alternada a uma frequência de 133kHz, o que se reflecte da mesma forma ao nível do enrolamento secundário, como é apresentado na figura 3.12. Assim, antes de realizar a filtragem do sinal de alta frequência, é necessário proceder a uma etapa de rectificação da tensão após o enrolamento secundário, utilizando um sistema de rectificação passivo constituído por uma ponte de díodos, especificados para operar a elevadas frequências e suportar grandes tensões inversas.

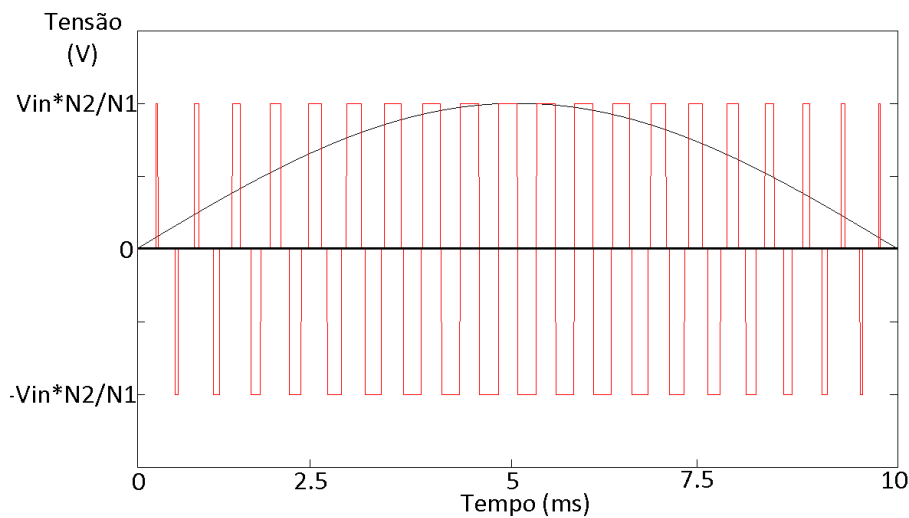


Figura 3.12: Tensão ao nível do enrolamento secundário do transformador de isolamento

Para recuperar o sinal AC a 50Hz é necessário utilizar um filtro passa baixo que apresente uma atenuação tão elevada quanto possível ao nível da frequência portadora utilizada. De modo a garantir uma boa relação entre a dimensão dos componentes do filtro e a atenuação deste foi utilizado um filtro LC. Este filtro é de segunda ordem e apresenta uma atenuação de 40db/dec, acima da sua frequência de corte, dada por $f_c = 1/(2 * \pi \sqrt{LC})$.

Um factor crítico relacionado com a implementação de filtros de segunda ordem é a atenuação que estes apresentam à sua frequência de ressonância. Para frequências bastante próximas deste valor, o ganho do sistema é idealmente infinito o que poderá causar instabilidade e até danos no sistema devido às grandes tensões que podem surgir, caso haja excitação do filtro à frequência referida. De acordo com [27], para limitar o ganho do filtro dever-se-á colocar uma resistência numa das posições evidenciadas na figura 3.13.

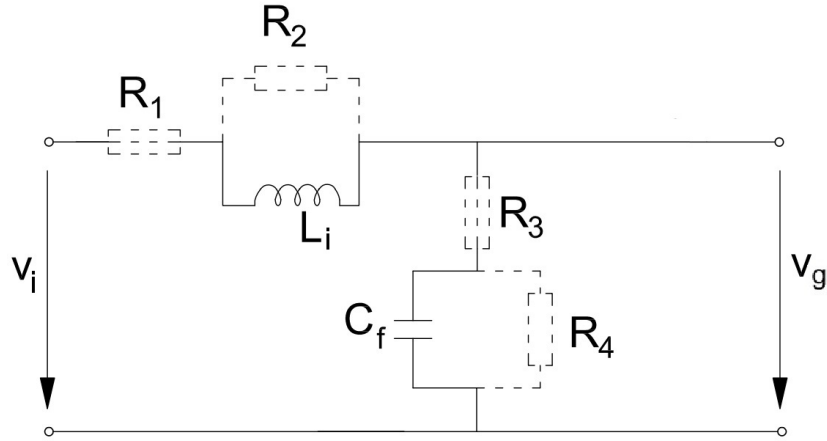


Figura 3.13: Locais possíveis para colocação da resistência de amortecimento do filtro

No filtro implementado colocou-se uma resistência em série com o condensador de filtragem uma vez que esta situação resulta em menores perdas no elemento resistivo pois apenas a corrente à frequência dos harmônicos mais elevados fluirá por este, cuja magnitude é, já em parte, atenuada pela indutância L_i . Caso se colocasse nas restantes posições, a corrente à frequência fundamental, que é a componente de maior relevância neste caso, seria responsável por perdas mais significativas na resistência, reduzindo o rendimento do sistema. O comportamento do sistema para diferentes valores de R_d poderá ser mais bem compreendido analisando a função de transferência deste sistema.

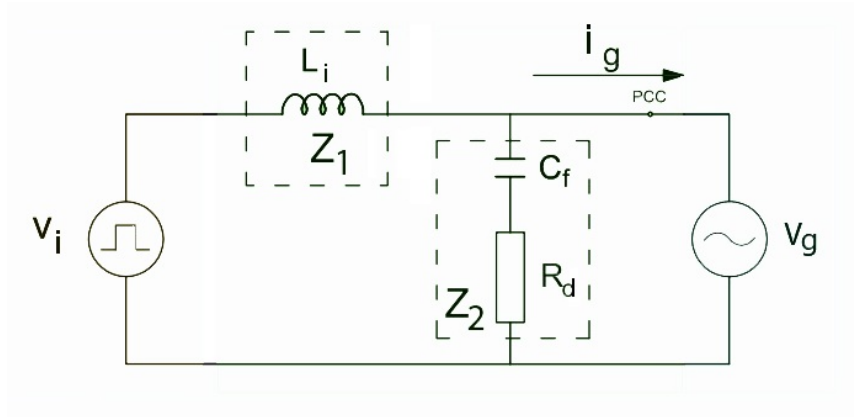


Figura 3.14: Filtro passa-baixo do tipo LC

A função de transferência do filtro apresentado em 3.14 é dada por 3.1

$$\frac{V_g}{V_i} = \frac{\frac{1}{L_i C_f} + s \frac{R_d}{L_i}}{s^2 + s \frac{R_d}{L_i} + \frac{1}{L_i C_f}} \quad (3.1)$$

Sendo este sistema um sistema de segunda ordem, a sua função de transferência poderá ser reescrita de forma aos seus coeficientes terem significado físico, resultando a forma padrão apresentada em 3.2.

$$\frac{V_g}{V_i} = \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (3.2)$$

Igualando a equação característica do filtro à do sistema de segunda ordem vem 3.3, em que ω_n é a frequência natural não amortecida do sistema, correspondente à frequência de ressonância do filtro passa baixo, e ξ é o coeficiente de amortecimento do sistema.

$$\omega_n^2 = \frac{1}{LC} \quad \xi = \frac{R_d\sqrt{C}}{2\sqrt{L}} \quad (3.3)$$

Os pólos do filtro serão dados por 3.4.

$$s_{1,2} = -\xi\omega_n \pm j\omega_n\sqrt{1 - \xi^2} \quad (3.4)$$

Dependendo do valor de ξ , o filtro apresentará um maior ou menor amortecimento à frequência de ressonância. Para $\xi < 1$, os pólos do filtro são complexos conjugados, o que confere um comportamento com *peaking* à resposta do sistema. Coeficientes de amortecimento muito superiores a 1 atenuam bastante a resposta do filtro à frequência de ressonância mas aumentam também a largura de banda do filtro. Existe assim um compromisso entre atenuação à frequência de ressonância e às altas frequências sendo utilizados factores de amortecimento tipicamente superiores a 0.707 mas pouco superiores a 1. Este ajuste é efectuado seleccionando uma resistência R_d apropriada, com base na expressão 3.5, sendo os diagramas de Bode para as três situações de amortecimento referidas apresentados na figura 3.15, para $L=330\mu H$ e $C = 3 \mu F$.

$$R_d = \xi 2\sqrt{\frac{L}{C}} \quad (3.5)$$

De modo a se concretizar uma filtragem eficaz do sinal AC, a frequência de corte deste filtro deverá estar a uma frequência bastante inferior à frequência do sinal *PWM*, 133kHz, de modo a atenuar eficazmente o conteúdo espectral resultante da modulação a alta frequência. O dimensionamento deste filtro encontra-se apresentado no Anexo A.

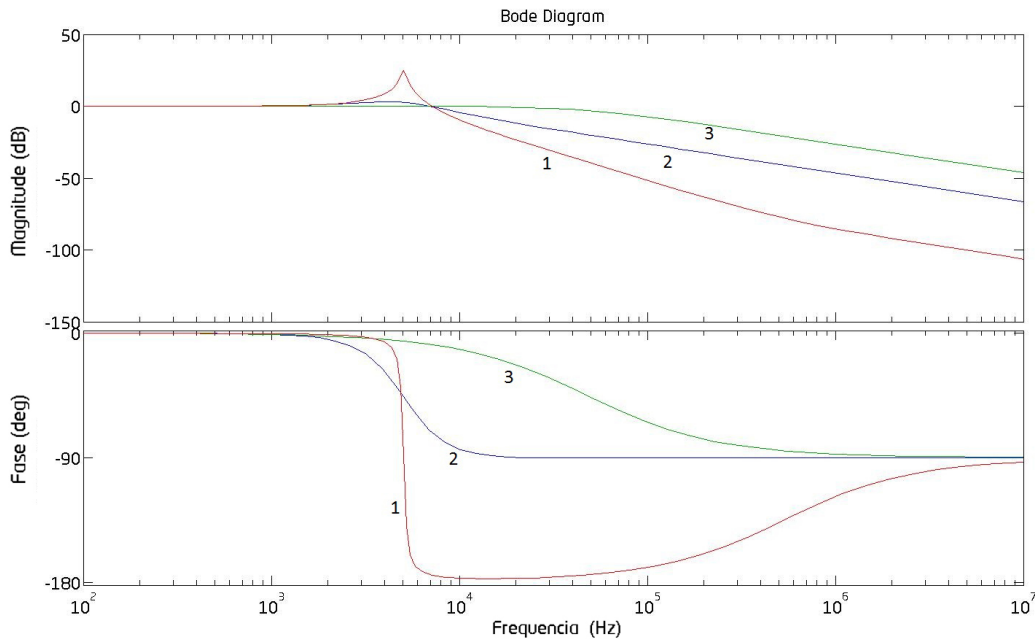


Figura 3.15: Variação da resposta em frequência do filtro para três coeficientes de amortecimento: 1 - $\xi < 0.707$; 2 - $\xi = 1$; 3 - $\xi \gg 1$

3.4 Ponte Inversora de Arcadas

Devido ao facto da polaridade do enrolamento secundário do transformador de isolamento ser alternada, a uma frequência de 133kHz, entre uma tensão positiva e negativa e, de modo a ser possível efectuar uma filtragem passa-baixo deste sinal, se ter recorrido a uma ponte de rectificação, à saída da etapa de filtragem obtém-se arcadas positivas de sinusóide com uma frequência de 100Hz. De modo a recuperar uma onda AC com uma frequência de 50Hz, recorreu-se a uma ponte H para, a uma frequência de 50Hz, inverter a polaridade do sinal. Com o inversor a operar no modo *grid-connected* as comutações desta ponte deverão estar sincronizadas com as passagens por zero da rede eléctrica e em fase com esta, de modo que a tensão à saída da ponte esteja sempre acima da tensão da rede, no caso das arcadas positivas, e abaixo desta nas arcadas negativas.

A ponte H utilizada é composta por componentes de comutação forçada, sendo as transições entre os estados *ON* e *OFF* realizadas pelo microcontrolador. Os circuitos comutadores utilizados nesta secção são IGBT, *Insulated Gate Bipolar Transistors*. Estes componentes combinam as melhores características dos transístores bipolares e dos *MOSFETs*, podendo ser vistos como uma configuração Darlington dos dois componentes anteriores. Tal como os *MOSFETs*, os *IGBT* apenas necessitam de uma tensão suficientemente alta na *gate* para conduzirem e, tal como os transístores bipolares, estes apresentam uma capacidade de condução de correntes elevadas entre o colector e emissor. Além disso, os *IGBT* apresenta uma tensão de condução que varia muito

pouco com a corrente de condução e a temperatura do componente, o que o torna mais imune à destruição por embalamento térmico que ocorre nos *MOSFETs*. Na situação dos *MOSFETs*, a resistência de condução que estes apresentam depende da corrente de condução e, quando mais potência este dissipar em R_{ds} , mais o *MOSFET* aquece e consequentemente maior é a resistência que este apresenta o que conduz a uma ainda maior dissipação térmica. As vantagens apresentadas fazem com que actualmente os *MOSFETs* sejam preteridos pelos *IGBT* em sistemas com baixas frequências de operação, que envolvem grandes tensões e onde as comutações dos componentes são suaves, tipicamente nas passagens por zero da tensão.

À semelhança da *Full-Bridge* previamente apresentada, também este circuito pode causar danos acentuados no inversor caso seja mal comutado. Uma vez que esta ponte é totalmente controlada pelo microcontrolador, ao nível do código estão implementadas medidas que salvaguardam os tempos mínimos de transição entre estados dos comutadores, de modo a evitar a ocorrência de curto-circuitos na ponte, pois o inversor encontra-se ligado à rede eléctrica e esta ponte tem obrigatoriamente um *duty-cycle* de operação próximo dos 100%.

Também nesta ponte H são utilizados quatro *drivers* de ataque às *gates* dos *IGBT*, opticamente isolados sendo necessárias três alimentações independentes, duas utilizadas pelos circuitos responsáveis pelo ataque do *High-Side* da ponte H e a terceira utilizada pelos dois circuitos de ataque aos comutadores *Low-Side*. Os sinais de comutação desta ponte provêm de dois portos digitais do microcontrolador. Em condições normais de funcionamento, esta ponte apresenta reduzidas perdas relativas à comutação por esta ser realizada em instantes em que a tensão e corrente são muito baixas ou nulas. No entanto, na eventualidade da corrente não estar em fase com a tensão torna-se necessária a utilização de *snubbers* de modo a proteger os *IGBT* de danos causados por consecutivos picos de tensão que podem surgir no caso de se realizar uma comutação quando a corrente não é nula. O esquema referente a esta secção do inversor encontra-se apresentado na figura 3.16.

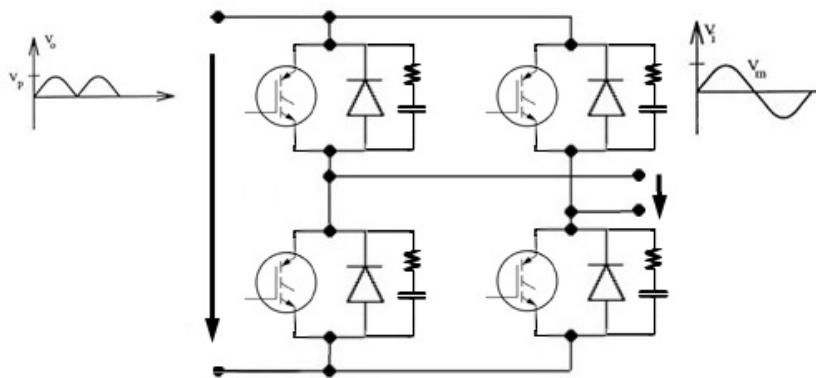


Figura 3.16: Esquema da ponte inversora de arcadas, constituída por *IGBT*

O controlo desta ponte é totalmente realizado por *software* e a comutação de estado de condução dos *IGBT* é sincronizada com as detecções de passagem por zero, de modo a que o inversor

injecte corrente em fase com a tensão da rede eléctrica. A cada passagem por zero é gerada uma interrupção no microcontrolador. O circuito que permite detectar as passagens por zero da rede eléctrica encontra-se apresentado na figura 3.17.

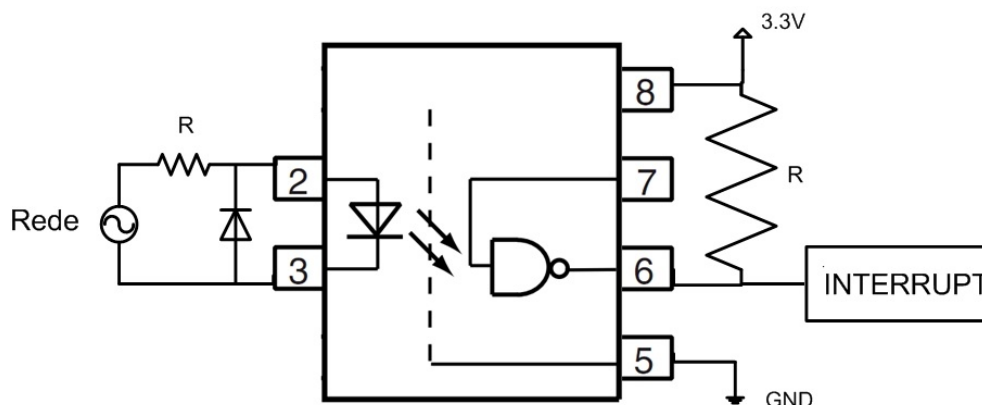


Figura 3.17: Mecanismo de detecção de passagens por zero da rede eléctrica

Este sistema, embora funcione bastante bem quando a qualidade do sinal da rede é ideal, no caso da tensão da rede apresentar algum ruído ou quedas abruptas (por interferência de outros dispositivos por exemplo), conduz a um ritmo de detecções de passagens por zero mais elevado do que o esperado que, caso não seja filtrado devidamente, será responsável pelo mau sincronismo do inversor com a rede. Esta filtragem é realizada ao nível do *software* de controlo do inversor e será abordada com mais detalhe no capítulo 5.

3.5 Filtro de Rede

Esta nova etapa de filtragem é constituída por uma indutância em série com a saída do sistema. Este filtro passa baixo é utilizado para atenuar os harmónicos da corrente causados pela comutação forçada dos *IGBT* da ponte inversora, situação que ocorre quando a corrente não está exactamente em fase com a tensão, e a comutação dos *IGBT* não ocorre num instante de corrente nula. Além disso, a bobine em série permite controlar o *ripple* da corrente injectada na rede eléctrica, que será tanto menor quanto maior for a indutância utilizada. No entanto, quanto maior for a indutância da bobine utilizada pior é a dinâmica de resposta do sistema, uma vez que para uma maior variação da corrente necessária à saída, a bobine necessita de integrar tensão durante um período de tempo superior.

Outra função bastante importante deste último filtro é permitir o desacoplamento do sistema inversor relativamente à rede eléctrica. Uma vez que o inversor se encontra conectado a uma rede, existe sempre uma impedância de carga para o inversor que é bastante variável devido a condicionantes como a distância ao posto de transformação ou o tipo de cargas ligadas na rede. Devido a este facto, a frequência de ressonância do filtro LC, exposto previamente, apresentará variações, não sendo possível assegurar um comportamento uniforme deste em diferentes instalações

e garantir que se vai realizar uma filtragem eficaz à frequência de modulação e seus harmónicos. Assim, esta última etapa de filtragem permite que a análise do filtro LC entre em consideração unicamente com uma carga indutiva de valor conhecido, tipicamente de valor bastante superior ao da rede, resultando esta situação efectivamente num filtro LCL.

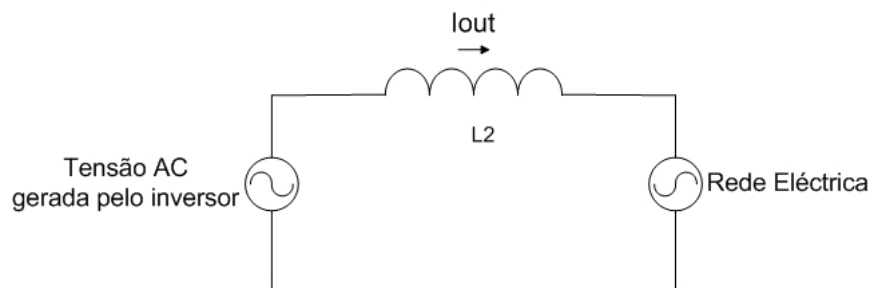


Figura 3.18: Indutância a interligar duas fontes de tensão alternada

Este filtro pode ser apresentado ainda como o elemento de ligação entre duas fontes alternadas com a mesma frequência, tal como é apresentado na figura 3.18, controlando o fluxo de energia de acordo com a magnitude das suas tensões e o desfasamento existente entre estas. No caso do inversor ligado à rede, pretende-se que o desfasamento entre estas duas fontes seja nulo e a magnitude da onda de tensão gerada pelo inversor seja superior à da rede, de modo a que potência activa circule para a rede eléctrica.

3.6 Sistema de alimentações isoladas

Como foi evidenciado durante a análise da implementação do inversor, este sistema pode ser segmentado basicamente em duas grandes secções: uma relacionada com a lógica de controlo e outra associada aos circuitos de potência. Associada a este particionamento do sistema, devido às topologias adoptadas e à necessidade de assegurar uma maior segurança do sistema, está inerente a necessidade de existência de múltiplos sistemas de alimentação que estejam isolados entre si.

O conversor *Flyback* com transformador de isolamento é um sistema utilizado para obter várias tensões de saída DC isoladas da fonte DC presente à entrada do conversor. Nesta topologia, o transformador não é utilizado no seu modo tradicional de operação, transferir energia directamente entre o enrolamento primário e secundário, pois a corrente nunca circula simultaneamente nestes dois enrolamentos. Neste sistema, a energia é transferida em duas fases temporalmente disjuntas, sendo o transformador um elemento armazenador de energia. Desta forma, não é necessário utilizar um indutor adicional por cada saída do sistema para o armazenamento de energia, reduzindo consequentemente os custos de implementação desta fonte comutada.

Na figura 3.19 é apresentado o circuito base de um conversor *Flyback*. O número de saídas do conversor é adaptável à necessidade do número de tensões isoladas necessárias no sistema, estando dependente unicamente da relação de transformação e da potência que se pretende dispor ao nível de todos os enrolamentos secundários

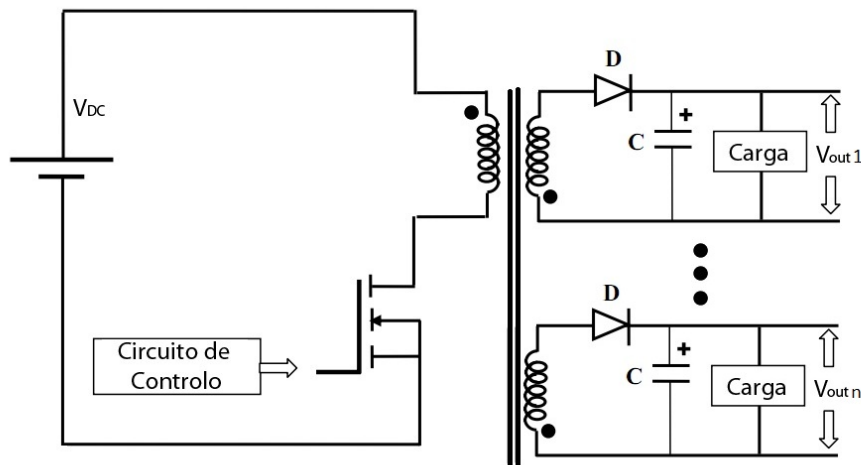


Figura 3.19: Conversor *Flyback* com múltiplas saídas

Ao nível dos enrolamentos secundários, cada uma das saídas deverá ser rectificada e filtrada individualmente, sendo tipicamente utilizado a saída de maior carga, que tenderá a apresentar maior *ripple* de tensão, para efectuar o *feedback* do sistema e condicionar a regulação deste. Os restantes enrolamentos, uma vez que estão acoplados magneticamente ao mesmo enrolamento primário, são regulados indirectamente. De modo a garantir uma tensão mais estabilizada de cada subsistema de alimentação e minimizar o ruído a alta frequência comum dos sistemas comutados, colocou-se um regulador linear à saída de cada um dos sistemas de alimentação isolados do conversor *Flyback*.

3.7 Controlador

Para realizar o controlo e monitorização do sistema inversor foi utilizado um microcontrolador de 32bit da família PIC32MX da Microchip. Foi criada uma plataforma de desenvolvimento específica para este controlador de modo a facilitar a sua implementação em sistemas embutidos. As avançadas funcionalidades deste sistema terão maior destaque no capítulo 4.

A interacção entre o sistema a controlar e o microcontrolador é efectuada recorrendo aos módulos *PWM*, conversores analógico-digitais (*ADC*), portos de interrupções externas e portos digitais genéricos, encontrando-se a interface geral exposta na figura 3.20.

Relativamente às *ADC*, são usados cinco canais, quatro para efectuar as medições de corrente e tensão das interfaces de entrada e saída do inversor, permitindo desta forma implementar os algoritmos de controlo de potência e também mecanismos de protecção, e um último utilizado para efectuar a medição da tensão de uma das saídas do conversor *Flyback* e dessa forma fechar a malha de controlo deste. Ao nível da entrada, as medições da tensão e corrente na etapa DC permitem avaliar a potência disponibilizada ao inversor e, em função disso, limitar a potência

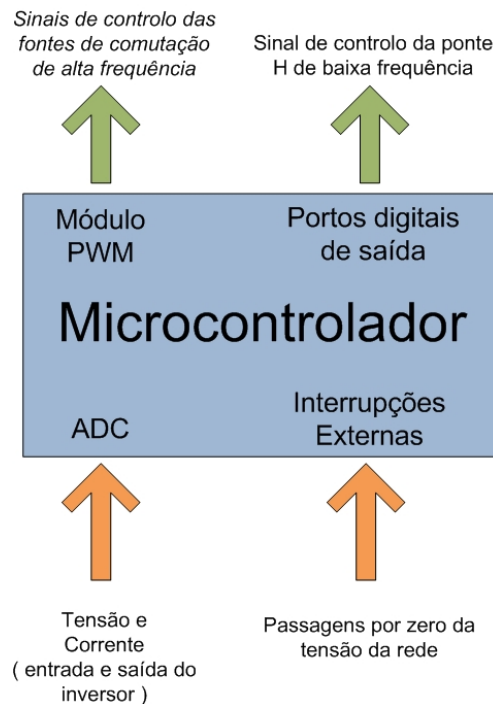


Figura 3.20: Interfaces do microcontrolador utilizadas

que o inversor fornece à sua saída. Estas medições condicionam também a passagem do sistema para o modo *standby*, quando a tensão DC disponibilizada pela fonte é inferior ao limiar da operacionalidade do inversor. Ao nível da saída, a medição da tensão e corrente é a peça fundamental para fechar a malha de controlo do inversor. Quando este opera no modo *stand-alone* a variável de controlo da saída é a tensão, uma vez que é o inversor o responsável por manter aos terminais das cargas uma voltagem semelhante à da rede eléctrica. Quando o inversor opera no modo *grid-connected* a variável de controlo da saída é a corrente inserida na rede, pois a tensão é forçada por esta. No modo *grid-connected*, a medição da tensão também é importante pois permite monitorizar variações anormais na tensão da rede, que permitem activar os mecanismos de *anti-islanding*.

Para controlar a primeira *Full-Bridge* foi utilizado o módulo *PWM* do microcontrolador, que fornece o sinal de entrada para o circuito lógico de ataque individual dos *MOSFETs* da ponte H. O *duty-cycle* deste sinal é variável sendo o resultado do algoritmo de controlo do sistema, que determina o valor necessário para este parâmetro, de modo a minimizar o erro entre uma onda de corrente sinusoidal armazenada em memória e a medição da corrente da saída do sistema. O algoritmo usado encontra-se explicitado no capítulo 5.

Ao nível da segunda *Full-Bridge*, esta opera a baixa frequência e o controlo da comutação de cada braço da ponte foi efectuado totalmente por *software*, utilizando dois portos de saída digitais. Desta forma, facilitou-se a implementação do sistema de sincronização e de controlo da fase da ponte com a rede eléctrica, de modo a que a corrente produzida pelo inversor tenha o sentido correcto em ambas as arcadas da rede. Este método também permitiu garantir a existência

de um tempo morto nas comutações dos braços da ponte H, controlado através de *timers*, uma vez que o módulo *PWM* do PIC32 não apresenta esta funcionalidade nativamente.

O módulo *PWM* também é utilizado no sistema de alimentação do inversor implementado pelo conversor *Flyback*, sendo responsável por fornecer o sinal de actuação do circuito comutador que controla o fluxo de energia armazenado no transformador, de acordo com o sinal de controlo obtido através da medição da tensão de saída de um dos subsistemas de alimentação.

A chave de todo o mecanismo de sincronismo do microcontrolador e a rede eléctrica é o sistema de interrupções externas com detecção de flanco que permite estabelecer uma referência temporal a todos os semi-ciclos da rede para o sistema de controlo do inversor.

As funcionalidades até aqui apresentadas fazem já parte das características *standard* de grande parte dos microcontroladores existentes no mercado actualmente. No entanto, os dispositivos da família PIC32 apresentam uma grande capacidade de processamento, por possuírem um *core* a operar a 80MHz, e memória RAM até 128KB, o que permite que esta plataforma seja suportada por alguns *kernel* Tempo-Real desenvolvidos para microcontroladores de baixo custo. A utilização destas plataformas facilita bastante o escalonamento de várias acções do microcontrolador como as acções de controlo, monitorização de recursos e interface com o utilizador, criando uma camada de abstracção para o utilizador relativamente a determinados mecanismos do microcontrolador, como as interrupções temporizadas, tradicionalmente utilizadas para efectuar a temporização e escalonamento de eventos em sistemas embutidos. Estes assuntos serão alvo de maior exposição nos capítulos 4 e 5. Na figura 3.21, encontra-se apresentada a placa de desenvolvimento baseada na arquitectura PIC32MX montada numa *breadboard*, encontrando-se facilmente interligada a outros dispositivos.

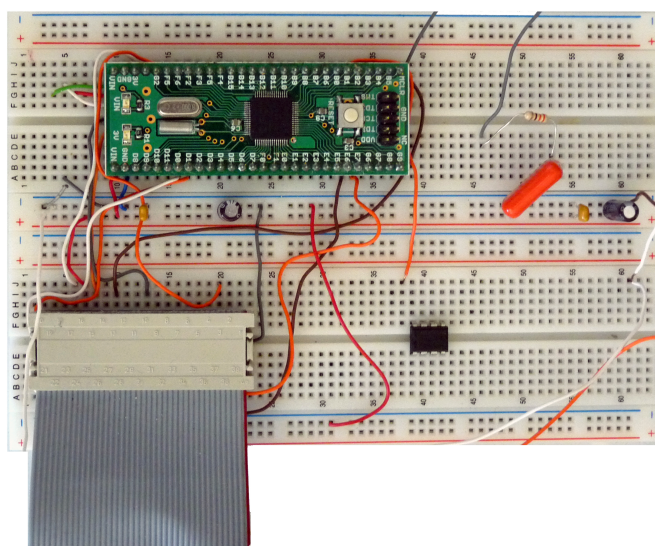


Figura 3.21: Placa de desenvolvimento montada em *breadboard*

3.8 Modelo de simulação

De modo a se efectuar uma simulação computacional do comportamento do inversor, estudar o seu desempenho e proceder a uma melhor escolha dos seus componentes, procedeu-se à implementação de um modelo do sistema, recorrendo às capacidades matemáticas e de simulação das aplicações *MATLAB/Simulink* [17]. Estas duas ferramentas constituem o ambiente base de *design* de sistemas baseado em modelos, permitindo ao utilizador, através da utilização de elementos predefinidos disponibilizados por diversas *toolboxes*, implementar um modelo representativo da dinâmica do sistema. Os modelos implementados em *Simulink* podem ser decompostos hierarquicamente, facilitando a sua organização em sub-sistemas e criar camadas de abstracção que permitem apresentar um sistema com base nos seus blocos funcionais mais relevantes. Uma vantagem da utilização da ferramenta *Simulink* é o facto de permitir a utilização de variáveis de entrada e de saída externas ao modelo de simulação, possibilitando desta forma a interligação do modelo desenvolvido nesta aplicação, com o código realizado em *Matlab* no qual é possível implementar um algoritmo de controlo do sistema e controlar o passo da simulação.

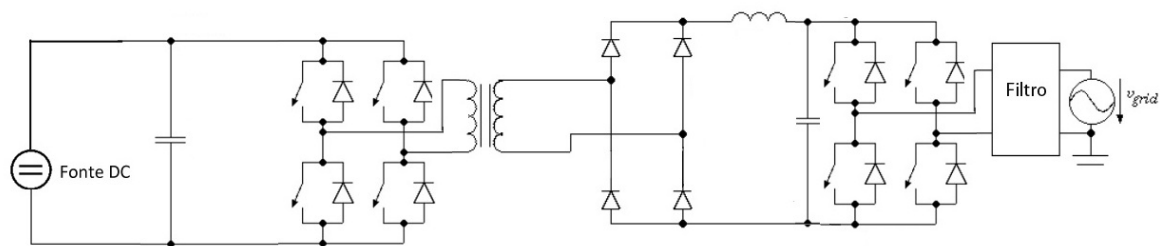


Figura 3.22: Topologia do inversor implementado

Partindo do diagrama do sistema apresentado em 3.22 e admitindo um comportamento linear dos componentes deste, foram tidas as seguintes considerações para simplificação do modelo:

- A ponte H utilizada para modulação da tensão DC da fonte primária é implementada por um bloco denominado *PWM* que tem como entrada uma onda de referência, sinal sinusoidal bipolar, e apresenta à saída um sinal *PWM*, cuja magnitude é alternadamente positiva ou negativa, de acordo com a polaridade da onda de referência.
- O transformador, usado para obter isolamento galvânico e realizar a elevação de tensão, é implementado por um bloco de ganho, cujo valor representa a relação de transformação do transformador. Com este pressuposto, desprezaram-se os efeitos não lineares do núcleo como a histerese da curva que relaciona a densidade de fluxo magnético B e a intensidade do campo magnético H ou a influência da temperatura no valor do fluxo magnético de saturação que limita, consequentemente, o *duty-cycle* máximo do sistema [23].
- A ponte de rectificação composta por diodos é necessária ao nível do sistema físico para ser possível recuperar o sinal modulado sinusoidalmente através de uma simples etapa de filtragem passa-baixo. Como a tensão ao nível da ponte de rectificação é bastante elevada,

da ordem de grandeza da tensão da rede, e a tensão $V_{Forward}$ dos díodos utilizados neste sistema é da ordem dos 2V, a gama não linear da resposta do diódo é bastante reduzida, admitindo-se assim que estes apresentam um comportamento linear em toda a sua gama de funcionamento. Ao nível do modelo *Simulink*, é apenas necessário alternar a polaridade do sinal *PWM* gerado a cada 10ms, sendo possível realizar directamente a filtragem passa-baixo do sinal modulado e recuperar uma onda sinusoidal bipolar a 50Hz.

- A ponte de inversão de arcadas é necessária no sistema físico para inverter o efeito da ponte de rectificação apresentada no ponto anterior. A nível funcional, esta ponte constitui apenas um comutador do referencial de tensão, que não é necessário modular ao nível do simulador, pois o sinal obtido após filtragem é já bipolar. Desta forma foram desprezadas eventuais deformações nas formas de onda da corrente e tensão, causadas pela comutação da ponte H em instantes em que estes sinais não são nulos.
- O comportamento das bobinas é linear em toda a sua gama de funcionamento, não sendo considerados os fenómenos de saturação do seu núcleo e consequente alteração do valor da indutância.

O sistema inversor poderá ser assim modelado por um filtro LCL controlado por um bloco que gera o sinal *PWM* que condiciona o fluxo de energia no inversor. O sistema equivalente encontra-se apresentado em 3.23, sendo a corrente que se pretende inserir na rede representada pela variável i_g e a tensão sinusoidal modulada a alta frequência representada pela fonte de entrada do filtro, v_i .

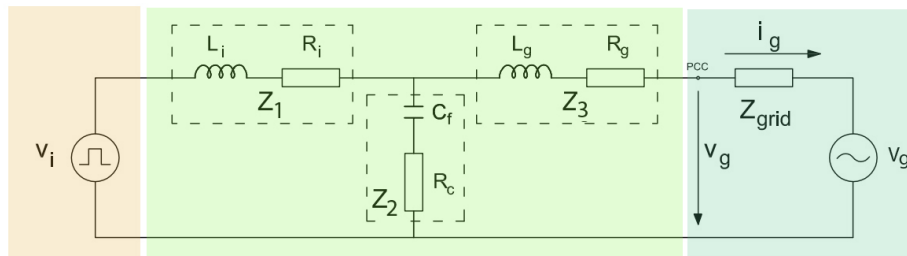


Figura 3.23: Circuito equivalente do inversor

Neste diagrama encontram-se apresentadas, para além da resistência de amortecimento R_d , outras duas resistências em série com os indutores. A resistência R_i representa contribuições de várias resistências de diferentes elementos do inversor. O seu valor resulta maioritariamente da resistência de condução de dois *MOSFETs* em série, presentes ao nível do enrolamento primário do transformador de isolamento e cujo valor se reflecte no enrolamento secundário segundo uma relação N^2 , em que N é a relação de transformação do transformador. Engloba também a resistência de perdas do transformador bem como a resistência de perdas do indutor L_i que, no entanto, são mais difíceis de estimar pois a sua medição obriga à remoção destes componentes da placa de circuito impresso. Ainda assim, este valor pode ser razoavelmente minorado através do valor da resistência de condução dos *MOSFETs*. Admitindo a utilização de *MOSFETs* com

R_{ds} de $5m\Omega$, emparelhados aos pares, e uma relação de transformação de 1:10, a resistência R_i apresenta, aproximadamente, um valor de 0.5Ω . Já no que toca a R_g , a sua estimação é mais complicada porque, para além da contribuição da resistência de perdas do indutor L_g , existe uma contribuição por parte da rede eléctrica que é variável, conforme a distância ao posto de transformação. Utilizando os valores dos componentes dos filtros do inversor fisicamente implementado, $L_i = 330\mu H$, $C_f = 3\mu F$, $L_g = 47\mu H$, e tendo como base a função de transferência do filtro LCL, apresentada no Anexo A na secção Função de Transferência do Filtro LCL, obtiveram-se os diagramas de bode do filtro em diferentes situações, analisando-se o efeito do valor resistências de perdas no comportamento do filtro. Estes resultados encontram-se apresentados na figura 3.24.

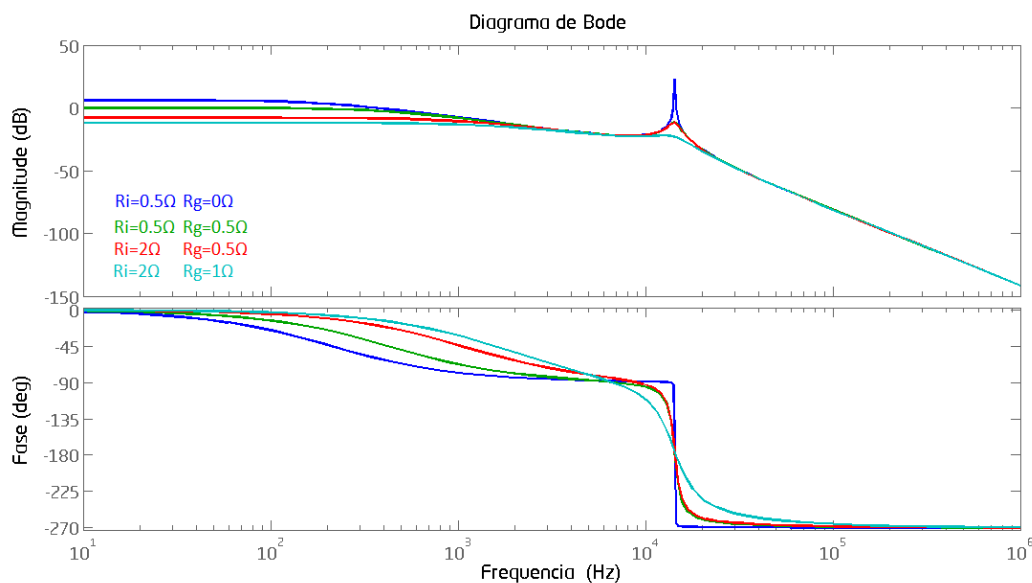


Figura 3.24: Diagrama de Bode do filtro LCL equivalente para diferentes valores das resistências de perdas R_i e R_g

Verifica-se, à semelhança dos resultados já observados previamente no estudo do comportamento do filtro LC, que à frequência de ressonância do filtro se observa um fenómeno de *peaking*. Constatou-se também que o ganho que o sistema apresenta a esta frequência encontra-se fortemente dependente do valor das resistências de perdas do filtro LCL, sendo que maiores resistência R_i e R_g conduzem a uma maior atenuação a frequências inferiores à frequência de ressonância e a um menor ganho do sistema a esta frequência. Devido à incapacidade de estimar com exactidão o valor de R_g , bem como saber efectivamente o ganho do sistema à frequência de ressonância, deve-se incluir uma resistência de amortecimento em série com o condensador de filtragem, assegurando desta forma a realização do amortecimento da resposta em frequência do filtro. Assim, utilizando uma resistência $R_d = 3.3\Omega$, $R_i = 0.5\Omega$ e, desprezando o valor de R_g , obtiveram-se os diagramas de bode apresentados na figura 3.25.

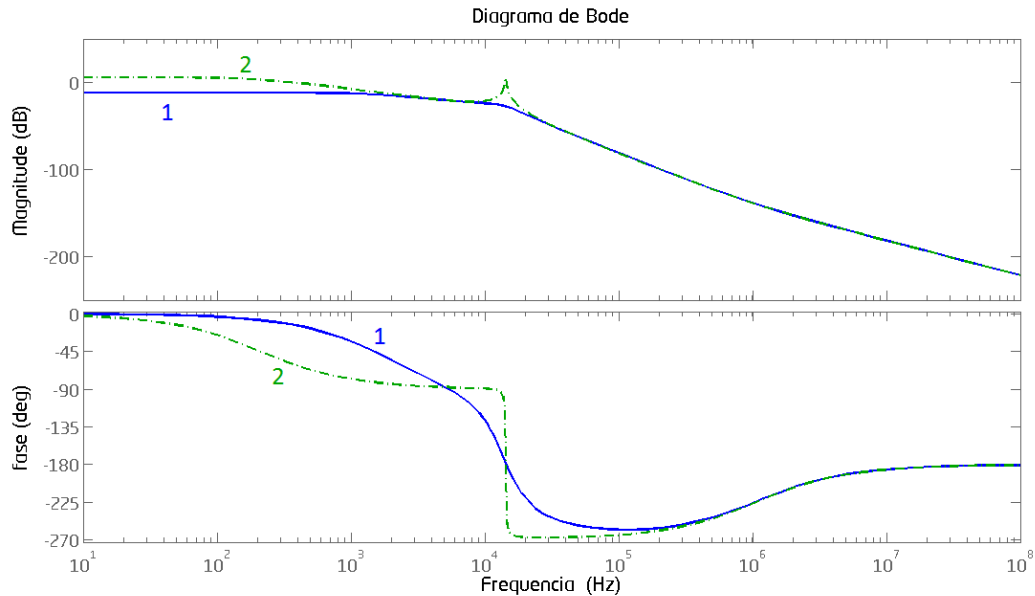


Figura 3.25: Diagrama de Bode do filtro LCL equivalente sem resistência de amortecimento (2), com resistência de amortecimento (1)

Da utilização da resistência de amortecimento, para reduzir o comportamento de *peaking* do filtro, advêm também desvantagens. O acrescento deste elemento resistivo aumenta também as perdas do sistema caso os harmónicos a alta frequência da corrente tenham uma amplitude significativa. Constata-se assim que a inclusão de uma resistência para efectuar um amortecimento passivo do filtro deverá ser ponderada, podendo-se optar por métodos de amortecimento activos, não dissipativos, mas mais complexos e que requerem um maior número de sensores de tensão/corrente. Alguns destes métodos encontram-se referidos e analisados em [27].

Com base nesta representação simplificada do inversor foi criado um modelo implementado em *Simulink*, seguindo uma metodologia semelhante à apresentada em [29].

Na figura 3.26 é apresentado o modelo do bloco responsável pela geração do sinal *PWM* modulado sinusoidalmente, que alterna a sua polaridade a cada 10ms. A entrada deste modelo é o *setpoint* proveniente do controlador, que através de um mecanismo de comparação com uma onda triangular e blocos de ganho adicionais, dá origem ao sinal pulsado de *duty-cycle* variável, a saída do modelo.

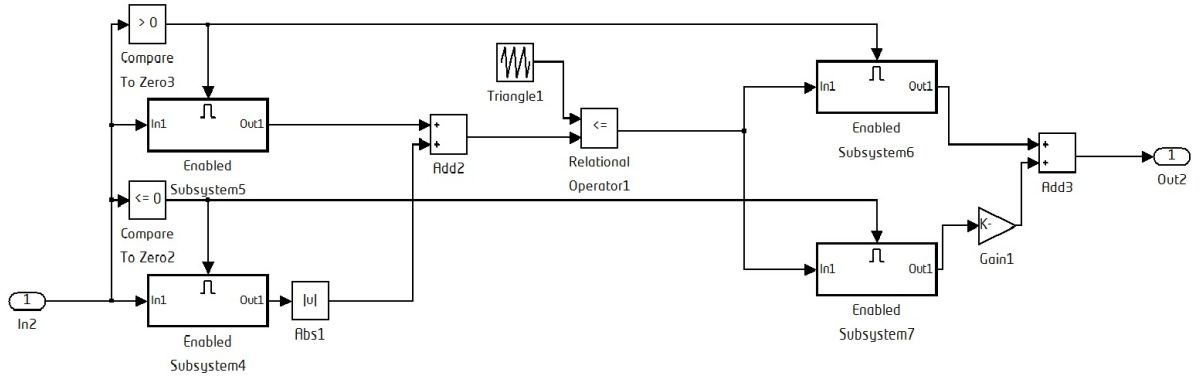


Figura 3.26: Modelo Simulink do circuito de modulação sinusoidal do sinal *PWM*

No que toca à modelação do filtro LCL em *Simulink*, foram implementados blocos relativos à função de transferência individual de cada componente, relacionando-se estes entre si através de variáveis de entrada e saída, tensões ou correntes. As funções de transferência necessárias para esta representação encontram-se descritas seguidamente, tendo como base a figura 3.27.

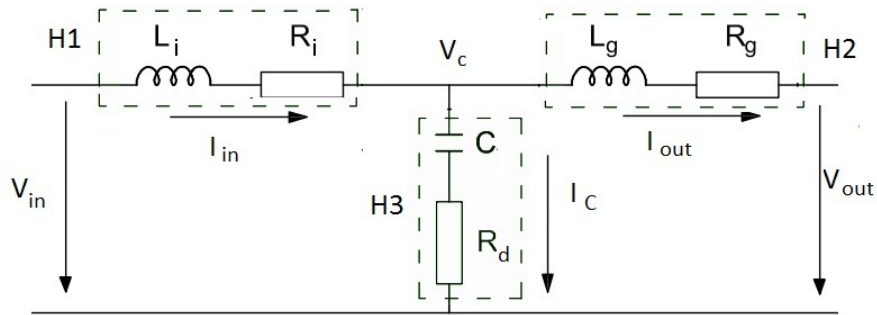


Figura 3.27: Variáveis necessárias para a implementação em diagrama de blocos do filtro LCL

$$H_1 = \frac{I_{in}}{V_{in} - V_c} = \frac{1}{L_i \cdot s + R_i} \quad (3.6)$$

$$H_2 = \frac{I_{out}}{V_c - V_{out}} = \frac{1}{L_g \cdot s + R_g} \quad (3.7)$$

$$H_3 = \frac{V_c}{I_{in} - I_{out}} = \frac{R_d \cdot C \cdot s + 1}{C \cdot s} \quad (3.8)$$

O modelo em *Simulink* do filtro encontra-se apresentado na figura 3.28.

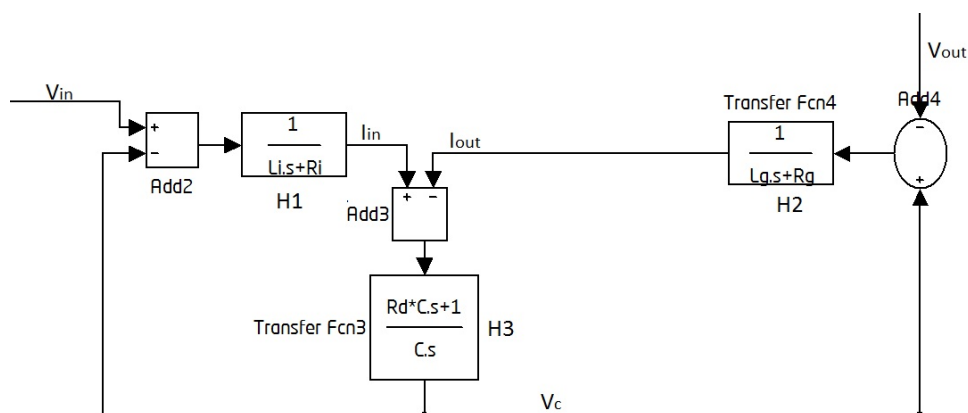


Figura 3.28: Implementação do filtro LCL em *Simulink*

Relativamente à fonte de saída, para simular a rede foi apenas utilizada uma fonte de sinal sinusoidal, com a frequência de 50Hz. Simplificou-se assim o modelo da rede, considerando a sua impedância puramente resistiva, cujo valor poderá ser tido em consideração já na resistência de perdas R_g .

O esquema final do modelo encontra-se apresentado na figura 3.29, efectuando-se o paralelismo das três secções em que este é dividido (fonte de entrada, filtro LCL e fonte de saída) com a figura 3.23 .

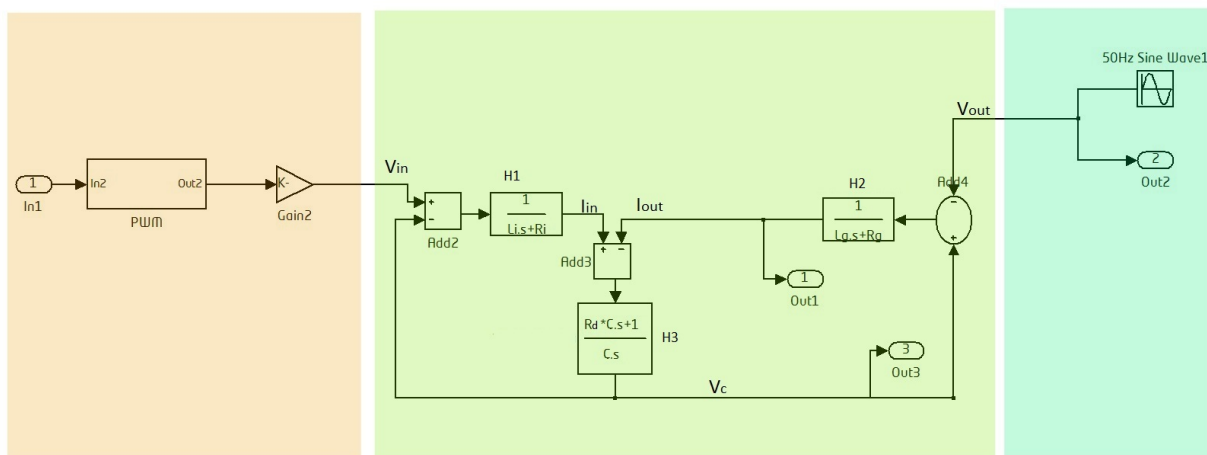


Figura 3.29: Modelo Simulink do inversor

O funcionamento do simulador é controlado através de um *script MATLAB* que comunica com o modelo *Simulink* através de portos de entrada (*In*) e saída (*Out*) apresentados na figura 3.29. Neste *script*, para além da existência de parâmetros de configuração do *Simulink* e ser efectuada a inicialização de variáveis relativas ao modelo do inversor, está também presente um código sequencial que é executado periodicamente em ciclo infinito no qual está implementado digitalmente o controlador do inversor, à semelhança do modelo de programação típico de um microcontrolador. Para realizar as acções de controlo e modelar a corrente de saída do inversor segundo uma onda de referência sinusoidal é necessário efectuar trocas de dados com o modelo. Os dados relativos à amostragem da saída do sistema e ao mecanismo de sincronização do controlador fluem pelos portos *Out* do modelo, assemelhando-se o seu comportamento aos portos de conversão analógico-digital e de interrupções externas de um microcontrolador. No sentido inverso estão os portos de *input* do simulador, que permitem que as decisões resultantes do processamento dos dados fornecidos pelos portos *Out*, actuem ao nível do modelo, assemelhando-se o comportamento destes elementos aos portos digitais de saída do microcontrolador.

Este mecanismo permite assim efectuar uma simulação tanto do inversor como do algoritmo a implementar no microcontrolador, sendo a exportação do último para um microcontrolador real tão mais bem sucedida quanto mais fidedigna for a representação do modelo do sistema físico.

Capítulo 4

Placa PIC32UA

Em praticamente todos os sistemas electrónicos existem unidades microcontroladoras dedicadas à execução de tarefas como a instrumentação, o controlo ou as comunicações em rede. Actualmente, a oferta de microcontroladores presentes no mercado agrupa-se em três grandes categorias, em dispositivos de 8-bit, 16-bit e 32-bit. Ainda que constituam a categoria que geralmente apresenta especificações mais limitadas, os sistemas baseados em arquitecturas de 8-bit continuam com uma forte posição no mercado [2], principalmente devido ao reduzido custo que a sua utilização comporta e por se apresentarem ainda suficientemente adequados à grande parte das aplicações que requerem a integração de uma unidade de controlo para tarefas pouco complexas. No entanto, começa a verificar-se uma tendência de evolução deste mercado, em que o aparecimento de sistemas com elevados requisitos de performance e *throughput* de dados, como dispositivos de controlo em automóveis, automação industrial, descodificadores de vídeo e áudio, *routers*, consolas de jogos ou sistemas que requeiram encriptação de informação justificam a integração de dispositivos com um maior número de bits, que apresentam uma maior eficácia na relação carga de trabalho vs consumo energético [2].

Face à crescente generalização da oferta de microcontroladores baseados em arquitecturas de 32-bit, com *cores* de elevada capacidade de processamento, elevada integração de periféricos, elevada capacidade de memória, modos de poupança energética eficientes e à cada vez mais reduzida diferenciação ao nível do preço de venda destes produtos face a outras unidades de 16-bit e 8-bit, torna-se cada vez mais atractiva a opção de os utilizar em projectos tanto a nível académico, como também a nível profissional. Uma arquitectura possuindo elevados recursos tende a levar a uma redução dos custos de desenvolvimento em termos da produtividade da equipa de trabalho uma vez que, ao invés de um engenheiro despende grande parte do tempo a otimizar um programa, reduzindo o número de chamadas encadeadas de funções que, por exemplo, facilmente excedem a capacidade da *stack* do sistema, minimizando o espaço ocupado de modo a ser suportado pela capacidade do microcontrolador ou até reescrever segmentos de código em *assembly* de modo a maximizar a performance de execução do programa, este poderá focar o seu trabalho adicionando funcionalidades inovadoras ao produto que desenvolve.

Não menos importante que as capacidades do hardware do microcontrolador escolhido, são as ferramentas de desenvolvimento disponibilizadas para este. A existência de soluções *out-of-the-box* que apresentem uma curva de iniciação suave à utilização do microcontrolador, bibliotecas

de periféricos prontas a utilizar bem como as perspectivas de suporte ao produto por parte do fabricante durante um longo período de tempo, são factores bastante importantes quando se opta por uma determinada plataforma de trabalho.

Uma das companhias responsável pela massificação dos microcontroladores de 8 bit e 16 bit foi a *Microchip Technology Inc.*. Neste momento, grandes companhias como a *NXP*, *ST* e *Texas Instruments*, assumem-se como os grandes *players* no universo dos microcontroladores de 32 bit, baseando as suas arquitecturas em *cores ARM*. No entanto, a *Microchip* lançou-se neste novo mercado nos finais de 2007 apresentando a sua gama de dispositivos *PIC32MX* que apresentam uma arquitectura que supera largamente as barreiras tradicionais associadas aos microcontroladores de baixo custo existentes no mercado, apresentando um *core* a operar a 80MHz, com design baseado num modelo *reduced instruction set computer* (RISC), que executa um *set* de instruções desenvolvido pela *MIPS Technologies*, bem como uma memória *Flash* com capacidade até 512 KB e memória *SRAM* até 128 KB. De modo a incentivar a migração dos sistemas implementados em plataformas de 16-bit para 32-bit e minimizar o impacto negativo que a alteração da plataforma base de um sistema normalmente acarreta, a série *PIC32MX* manteve a compatibilidade do *pinout*, periféricos e de *software* relativamente à sua família de microcontroladores de 16-bit, sendo adicionado o suporte da nova gama de produtos ao já bem estabelecido ambiente de desenvolvimento *MPLAB*. Esta estabilidade no que toca às ferramentas de trabalho e familiarização com o sistema é em grande parte responsável pela simplicidade de migração para esta arquitectura.

O processo de desenvolvimento de sistemas embutidos passa sempre pelas fases de especificação e implementação de soluções, para apresentação de um produto final que vá de encontro à aplicação a que se destina. Desde a versão inicialmente dimensionada até ao produto final entregue, decorre um processo de investigação e testes em que se efectuam múltiplas alterações e constantes acréscimos ao sistema em desenvolvimento até, finalmente, se obter uma versão pronta para utilização. Durante esta fase, são situações comuns a existência de componentes danificados, erros de dimensionamento ou mesmo a completa alteração das abordagens utilizadas. Em todos estes exemplos, os *developers* necessitam de ser expeditos nas alterações que realizam, sendo mais prioritária a facilidade com que se alteram, testam e validam os sistemas projectados do que a própria dimensão destes, pelo que, a utilização de circuitos integrados com encapsulamento *DIP* é, na maior parte das vezes, a mais adequada. Este encapsulamento permite uma elevada facilidade no que toca à sua montagem e substituição em placas de prototipagem ou mesmo em PCB (*Printed Circuit Board*), recorrendo a *sockets*, permitindo também a realização de *debugging*, directamente sobre o circuito integrado, recorrendo ao osciloscópio com pontas de prova comuns, devido à grande dimensão dos *pads*.

No entanto, os microcontroladores tecnologicamente mais avançados disponíveis à data apresentam unicamente encapsulamentos do tipo *Surface-Mount Devices (SMD)*, como é o caso dos dispositivos da família *PIC32MX*. Assim, de modo a beneficiar dos avanços proporcionados pela arquitectura destes novos microcontroladores, do bom suporte ao nível das ferramentas de trabalho, do apoio de uma forte comunidade de utilizadores, bem como da liberdade proporcionada pelo encapsulamento *DIP* de um circuito integrado, criou-se uma placa de desenvolvimento para facilitar a prototipagem de sistemas electrónicos com base em microcontroladores de 32-bit.

4.1 Placa de Desenvolvimento

Com o intuito de facilitar o desenvolvimento de aplicações com base em dispositivos da família *PIC32MX*, criou-se uma placa de desenvolvimento suportada pelo microcontrolador *PIC32MX340F512H*, disponível na versão com encapsulamento *TQFP* de 64 pinos. Normalmente, para utilização de circuitos integrados com encapsulamentos *SMD* na prototipagem de sistemas, é comum criarem-se simples *breakout boards* que facilitam a rápida integração e substituição destes componentes numa montagem de teste. O conceito subjacente à placa desenvolvida é semelhante mas, no presente caso, este foi elevado a um nível superior, de modo a criar um pequeno módulo que, para além de facilitar o acesso a todos os pinos de I/O, inclui os componentes que asseguram a operacionalidade base do microcontrolador, como a sua correcta alimentação, um interruptor de *reset*, um conector para interface *JTAG*, útil para a realização de *debug*, um cristal de 8MHz que constitui o oscilador primário externo, um cristal secundário de 32.768kHz utilizado nos módulos de operação de baixo consumo e também permite o funcionamento do relógio e calendário internos do controlador, e *leds* de sinalização das tensões de alimentação. Para se iniciar a utilização do microcontrolador é então apenas necessário alimentar o módulo, tipicamente a 5V, sendo a sua integração com outros componentes bastante facilitada, por apresentar uma estrutura baseada em dois barramentos de 28 pinos paralelos, compatíveis com o espaçamento dos encaixes das *breadboards*, usualmente utilizadas para prototipagem. Da mesma forma, este sistema também é passível de funcionar como um módulo *piggyback*, de modo a integrar sistemas modularmente desenvolvidos.

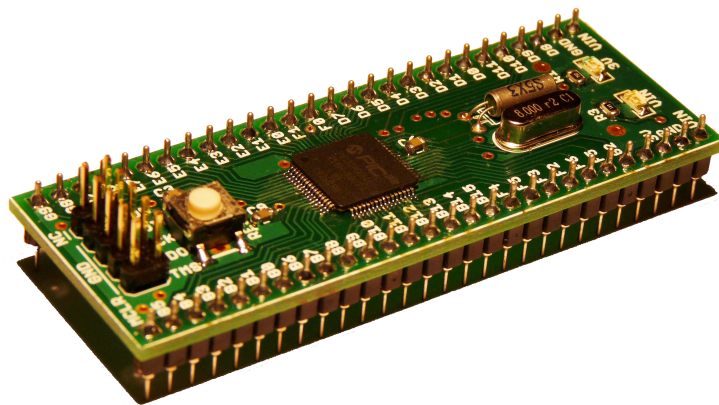


Figura 4.1: Placa de desenvolvimento PIC32UA

Podem-se assim resumir as principais características da placa de desenvolvimento apresentada:

- Controlador PIC32MX340F512H
- Cristal primário de 8MHz
- Cristal secundário de 32.768kHz (RTC)
- Regulador 3.3V *Low Dropout*
- Dois *led* de estado das tensões de alimentação

- Interruptor de *Reset*
- Conector *JTAG* para programação/ *debug*
- 56 Pinos com pitch de 2.54mm
- 50 Pinos de I/O utilizáveis
- Tensão de alimentação entre 4V e 6.47V

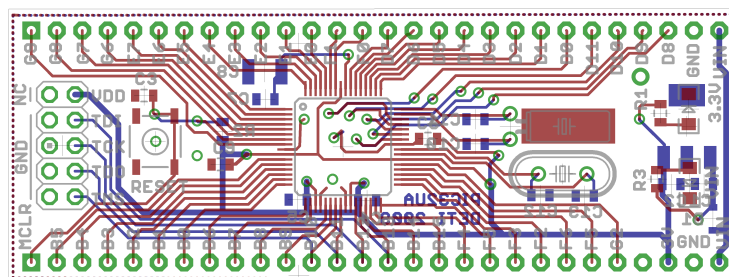


Figura 4.2: Layout da Placa de desenvolvimento PIC32UA

O protótipo apresentado na figura 4.1 é o resultado do *layout*, exibido na figura 4.2, criado utilizando a versão livre do programa *CadSoft EAGLE* [3], uma ferramenta simples mas bastante completa que permite produzir esquemas eléctricos e desenhar placas de circuito impresso.

Ao longo do desenvolvimento do *layout*, até ser obtida uma versão final, tiveram-se em conta diversas considerações de modo a otimizar a disposição dos pinos do microcontrolador, minimizar o comprimento das pistas, reduzir o número de vias utilizado, cumprir com os requerimentos energéticos, bem como a distribuição do plano de massa do sistema. O ponto de partida foi a escolha dos componentes a utilizar. Relativamente ao microcontrolador, a opção recaiu sobre o *PIC32MX340F512H*, uma versão que, à altura da escolha, apresentava as especificações mais avançadas da família. Além disso, de modo obter uma placa de desenvolvimento de dimensões reduzidas, optou-se pela utilização de uma versão de 64 pinos. A nível funcional, o design desenvolvido é compatível com todas as versões de 64 pinos de microcontroladores desta família. Actualmente, existe já uma nova placa que utiliza o microcontrolador *PIC32MX795*, uma versão que se distingue da anteriormente enunciada por apresentar uma maior capacidade de memória *SRAM* e *Flash*, suporte para protocolo *CAN* e interface *USB*.

Relativamente à alimentação do sistema, o consumo de corrente global realizado pelo microcontrolador e *leds* é bastante reduzido. Os dois *leds* consomem cerca de 40mA em conjunto - valor que pode ser bastante melhorado utilizando *leds* de alto rendimento, o microcontrolador operando a 80MHz e executando código a partir da memória *Static RAM*, configuração onde os requerimentos energéticos são superiores, apresenta um consumo típico de 55mA e a corrente máxima que é possível fornecer pelo conjunto de todos os portos de I/O é 200mA. [15] Para alimentar a placa de desenvolvimento, escolheu-se um regulador *Low-Dropout* MCP1825S com uma tensão de saída de 3.3V, capaz de fornecer 500mA ao sistema, garantindo-se ainda alguma margem de segurança, de modo a evitar a ocorrência de fenómenos de *brown-out*. O *package* escolhido, *SOT-223*, é de reduzidas dimensões e apresenta um *pad* exposto com uma área signi-

ficativa conectado à massa do regulador, podendo assim ser ligado ao plano de massa da placa, de modo a aumentar a sua capacidade de dissipação.

O comprimento das pistas de interligação dos pinos e o número de vias foi também estudado optando-se por não agrupar os portos do sistema no *layout* da placa, perdendo-se uma optimização funcional, mas obtendo-se um plano de massa mais uniforme na parte inferior da placa, que garante uma maior imunidade ao ruído electromagnético e permite reduzir os fenómenos de *cross-talk* causado pela disposição paralela das pistas do sistema [9]. Foram também colocados condensadores de desacoplamento na proximidade dos pinos de alimentação do controlador de modo a evitar que eventuais ruídos na alimentação da placa afectem o funcionamento deste.

Finalmente, foi incluído um *header* na placa que permite utilizar *debuggers JTAG* para análise do sistema durante o seu funcionamento.

4.2 Arquitectura do microcontrolador

Os controladores da série *PIC32MX* apresentam-se como complexos *System-on-a-Chip* baseados num *core* da *MIPS* de 32-bit, capaz de operar com uma frequência de relógio até 80MHz, apresentando diversos módulos integrados dos quais se podem destacar um controlador *DMA* de oito canais, controladores *USB* e *Ethernet*, um barramento matriz que permite comunicação entre os diversos módulos a altas velocidades, um controlador de interrupções de alta performance bem como uma *prefetch cache* de 256 Bytes com vista a reduzir a latência nos acessos à memória *Flash* do sistema. Existem também outros periféricos mais comuns como conversores analógico/digital (*ADC*) de 10-bit, interfaces *SPI*, *I2C* e *UART* para comunicações série. Operando à sua máxima capacidade, este controlador é capaz de oferecer um *throughput* de instruções de 1.56 *Dhrystone MIPS/MHz*, unidade *standard* da indústria para avaliar a performance de processadores e compiladores [37].

Relativamente à sua arquitectura, esta pode ser dividida em quatro blocos funcionais gerais: *core*, memória do sistema, integração do sistema e periféricos, sendo alguns dos módulos apresentados no diagrama da figura 4.3.

4.2.1 Core

O *core* da série *PIC32MX* é baseado na arquitectura *RISC MIPS32 M4K*, pertencente à gama mais baixa da linha de produtos da *MIPS* de 32-bit. Os *cores* desta gama são bastante customizáveis aquando da fase de produção, permitindo direccionar este produto para inúmeras aplicações com requisitos diferenciados prevalecendo sempre o melhor compromisso entre performance e o consumo energético/área de silício [22].

A implementação utilizada pela *Microchip*, sumariamente, contempla um *core* com uma frequência de operação limitada a 80MHz, uma unidade de multiplicação/divisão de alta performance (*FMDU*) e 32 registos sombra - uma cópia dos 32 registos de uso geral (*GPR*), que são unicamente utilizados por uma rotina de interrupção de prioridade máxima, de modo a que o atendimento desta não sofra da latência causada pela salvaguarda de todos os registos aquando da comutação de contexto do *core* necessária nestas situações [15].

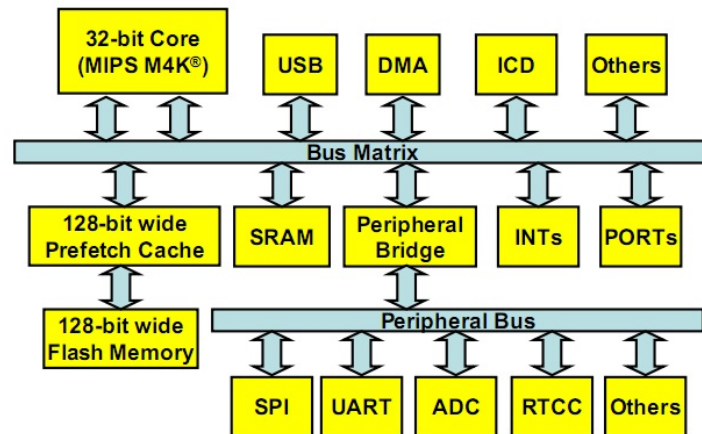


Figura 4.3: Diagrama de Blocos da arquitectura PIC32MX

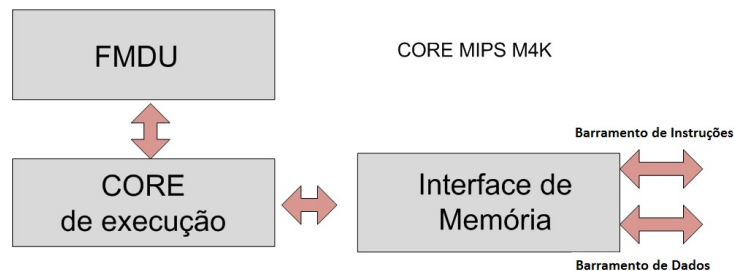


Figura 4.4: Diagrama de Blocos do Core MIPS M4K

O core MIPS M4K é baseado no modelo *Harvard*, possuindo dois barramentos independentes, dedicados ao *instruction fetch* e às operações *load-store* separadamente, possibilitando a execução de uma instrução e uma transferência de dados paralelamente a cada ciclo de relógio. Cada um destes barramentos apresenta 32-bit de dimensão, permitindo, assim, um maior *throughput* do sistema do que seria atingível no caso de se implementar um único barramento de instruções e dados partilhado. As instruções lidas pelo CPU são executadas em 5 etapas (*Instruction Stage*, *Execution Stage*, *Memory Stage*, *Align Stage*, *Writeback Stage*) recorrendo a um *pipeline* de 5 níveis. Desta forma, torna-se possível executar, mediante certas condições, uma instrução por cada ciclo de relógio. No entanto, muitas vezes existe dependência de registos entre múltiplas instruções existentes no *pipeline*, situação conhecida como *interlock*, que implica o atraso da execução das restantes instruções que não podem aceder ao registo pretendido [14].

O core apresentado é uma arquitectura do tipo *Load-Store* com 32 registos de uso geral (*GPR*), registos esses que, para além do uso comum enquanto armazenadores de operandos das instruções, contadores e endereços necessários à operação do CPU, possibilitam ao utilizador salvar valores frequentemente utilizados por forma a reduzir o *overhead* das operações *load-store*, tornando o sistema mais rápido na realização de determinadas tarefas. Esta funcionalidade pode apresentar vantagens em aplicações relacionadas com o processamento de sinal em

que, por exemplo, a rápida disponibilidade dos coeficientes de filtros resulta num aumento do desempenho global da tarefa em questão.

Ao nível do *core* existe ainda uma *FMDU*, *Fast-Multiply-Divide Unit*, que suporta diferentes tipos de instruções, como multiplicações com sinal, sem sinal, multiplicação-acumulação e divisão. Esta unidade é então responsável pela execução das instruções matemáticas, permitindo que o *core* efectue o *fetch* das instruções seguintes que não recorram à *FMDU* paralelamente. A *FMDU* existente nesta arquitectura é capaz de executar num único ciclo de relógio multiplicações 16X16-bit e 32X16-bit e necessita de dois ciclos para operações 32X32-bit. As operações de divisão são implementadas com um algoritmo iterativo de 1-bit por ciclo de relógio que podem durar de 11 a 34 ciclos de relógio, dependendo da dimensão dos operandos [10, 22].

Por defeito, o *PIC32MX* executa instruções de 32-bit mas, no entanto, para aplicações em que o tamanho do código é crítico, existe a possibilidade de executar instruções *MIPS16e*, instruções de 16-bit, que permitem obter uma redução de 40% no espaço ocupado pelo código, comparativamente ao uso de instruções de 32-bit. Além disso, como o *fetch* de instruções é realizado em blocos de 32-bit, existe uma maior poupança de energia no sistema pois apenas é necessário aceder à memória a cada duas instruções executadas [10].

4.2.2 Memória do Sistema

No que toca à memória, a série *PIC32MX* disponibiliza uma memória *Flash* com capacidade variável entre 32KByte e 512KByte, bem como uma memória *Static Random Access Memory (SRAM)*, com tamanho entre 8Kbit e 128Kbit, de alto desempenho. Relativamente ao mapeamento desta, os sistemas desta gama de microcontroladores baseiam-se num modelo de memória unificado, ou seja, instruções e de dados residem num espaço de endereçamento único, mas em gamas distintas da memória. Além disso, é também possível executar instruções a partir de uma parte da memória *SRAM* do sistema devido à existência de uma configuração de barramento conhecida como *Bus Matrix*, que permite estabelecer comunicação entre os barramentos da memória *SRAM* e memória *Flash* com o *core* do sistema [14].

Uma das grandes limitações dos processadores em sistemas embutidos prende-se com a performance das memória *Flash* utilizadas, uma vez que, memórias rápidas implicam um consumo energético também superior. De forma a serem cumpridos os tempos necessários para executar correctamente leituras e escritas por parte de *cores* a funcionar a frequências acima das velocidades da *Flash*, é necessária a inclusão de *wait-states*, período durante o qual o *core* aguarda pelo acesso à memória. Os projectistas deste controlador conseguiram balancear a performance do processador com o baixo custo da memória, desacoplando o barramento do *core* do *PIC32MX* da memória *Flash* pela inclusão de uma *Prefetch Cache*, pequeno mas rápido bloco de memória com 256 bytes de capacidade, organizado em blocos de 128-bit dispostos em 16 linhas, que tem como função armazenar instruções quando estas são acedidas assim como realizar o *prefetch* de instruções antes destas serem efectivamente necessárias. É também possível reservar até quatro linhas deste bloco para realização do *fetch* de dados. Assim, apenas existe uma redução de performance do sistema devido a acessos à memória quando ocorrem *cache-miss* e o *core* tem de aguardar pela disponibilização da instrução necessária com uma latência superior. Na figura

4.5, é possível observar um diagrama representativo da evolução da performance do *core* com o aumento da velocidade de relógio do *core*. As quebras de performance resultam da necessidade de inclusão de *wait-states* no acesso à memória e são atenuadas pela utilização da *prefetch cache* [14].

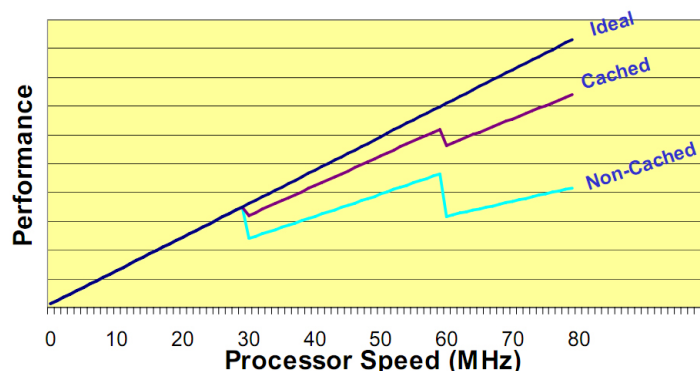


Figura 4.5: Efeito da *Prefetch Cache* no desempenho do sistema

4.2.3 Bus Matrix

Para haver comunicação entre os diversos módulos do microcontrolador, torna-se necessária a existência de um barramento partilhado para as trocas de dados. O *Bus Matrix* surge como a estrutura capaz de decodificar uma gama de endereços para mapear o alvo das transferências, *Flash*, *SRAM* ou Periféricos, permitindo assim estabelecerem-se as comunicações entre dispositivos *Master* e *Slave* existentes no barramento. Sendo a arquitectura analisada um sistema que poderá gerar e processar elevadas quantidades de dados a transferir, seria ineficiente todos os eventos entre os diferentes módulos que pretendem estabelecer comunicação estarem dependentes da permissão do *core*. Um dispositivo *Master* diferencia-se de um *Slave* pelo facto de poder ser iniciador de comunicações, realizando assim, autonomamente, pedidos de leitura e escrita de dados dos periféricos e outros módulos internos do microcontrolador. Actualmente, apenas o *core* e os módulos *In Circuit Debugger*, *USB* e controlador *DMA* são *Master*. Devido à existência de múltiplos *Masters* no barramento, em muitas ocasiões estes iniciarão trocas de informação simultaneamente no barramento. Não permitir esta situação seria ineficiente do ponto de vista do *throughput* de dados pelo que uma das funcionalidades do *Bus Matrix* é funcionar segundo o princípio de um *Switch Ethernet*, permitindo a existência de múltiplos fluxos de dados simultaneamente, como se encontra representado na figura 4.6. Da existência de vários *Masters* decorre também a possibilidade de, num mesmo instante, ocorrerem várias tentativas de acesso ao mesmo *Target*. Nessa situação, o *Bus Matrix* encarrega-se de resolver o conflito utilizando um sistema de prioridades para o desempate, definido aquando da sua configuração [14].

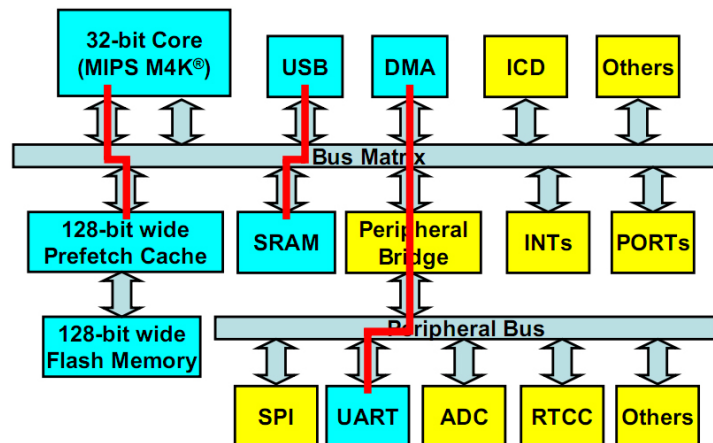


Figura 4.6: Acesso concorrente ao barramento segundo o conceito *Bus Matrix*

4.3 Software de Suporte

Uma das vantagens em utilizar os microcontroladores da família *PIC32MX*, da *Microchip*, prende-se com o bom suporte a nível de ferramentas de desenvolvimento e ao facto de existirem versões *freeware* para estudantes dos compiladores necessários que, comparativamente às versões comerciais, apresentam apenas ligeiras limitações ao nível das funcionalidades disponibilizadas, sem comprometer, no entanto, a utilização das avançadas capacidades do microcontrolador.

A base de trabalho facultada pela *Microchip*, o ambiente de desenvolvimento integrado (IDE) *MPLAB*, apresenta-se como uma plataforma na qual é possível para além de produzir o código do sistema a desenvolver, proceder à sua compilação, efectuar a programação do microcontrolador, realizar o *debug* do sistema directamente sobre o microcontrolador, e por último possibilitar também a emulação do microcontrolador, tal como a interacção dos seus portos de I/O [13].

Relativamente aos compiladores suportados, a *Microchip* possui um compilador para a linguagem de programação C, o *MPLAB C32*, baseado em *GCC* [12] e disponibilizado em versões *Lite*, com limitações ao nível da optimização de código, em versão académica, unicamente limitada na dimensão do código gerado, que tem um tamanho máximo de 64 KB e em versões comerciais, totalmente funcionais. Na versão académica, o facto de ser possível utilizar todos os níveis de optimização de código, permite explorar melhor a limitação imposta ao tamanho máximo do código compilado. Para além de permitirem uma redução no tamanho do código, as optimizações realizadas pelo compilador visam minimizar o tempo de execução deste através de técnicas como a expansão de ciclos, de modo a tomar maior partido das capacidades de cache do microcontrolador, realizar o *inline* de funções ou efectuar o alinhamento dos endereços das instruções em potências de dois para melhorar a performance do sistema em casos de execução condicional. Juntamente com o compilador, são também facultadas bibliotecas matemáticas e de processamento de sinal de alta performance, cujo desempenho tem vindo a ser optimizado a cada actualização destas ferramentas, bem como bibliotecas bastante úteis para utilização de todos os

periféricos integrados nos microcontroladores da série *PIC32MX*, como sejam *stacks TCP/IP* e *USB*, *bootloaders* para as interfaces série e *USB* juntamente com as interfaces de carregamento do código para o sistema operativo *Microsoft Windows* [12, 26]. Mais recentemente tornou-se disponível no mercado um novo compilador multi-plataforma *HI-TECH C PRO for the PIC32 MCU Family* produzido pela *Hi-Tech Software*, que também apresenta versões comerciais, com optimizações de código avançadas, e uma versão livre, de funcionalidades mais comedidas ao nível das optimizações mas com total suporte da plataforma de hardware do microcontrolador [7].

No que toca às ferramentas de programação e *debugging*, existem várias opções baseadas em hardware facultadas pela *Microchip*. Os microcontroladores das séries *PIC32MX3xx* e *PIC32MX4xx* são suportados pelos debuggers *ICD2* e *MPLAB REAL ICE*, produtos já existentes no mercado à altura da disponibilização destes microcontroladores de 32-bit. A distinção destes produtos prende-se com as velocidades máximas de *debugging*, a capacidade de introdução de *breakpoints*, cronometragem dos tempos de execução, capacidade de realizar o *trace* dinâmico de variáveis do sistema, bem como a possibilidade realizar uma análise do sistema ao nível lógico de diferentes sinais. Estas ferramentas auxiliares são bastante vantajosas na medida que permitem analisar o comportamento do microcontrolador enquanto este se encontra em pleno funcionamento, conectado ao *hardware* a controlar [13].

O ambiente *MPLAB* faculta também a possibilidade de realizar testes ao código desenvolvido emulando o *hardware* do microcontrolador bem como as interacções com sinais e alguns dispositivos, utilizando a ferramenta *MPLAB SIM*. A pequena diferença relativamente aos debuggers baseados em *hardware* prende-se com o facto destes, quando se encontram a correr o código à velocidade máxima, não permitirem a monitorização de todos os registos e memória em tempo real, contrariamente ao simulador, cuja performance apenas se encontra limitada pelas capacidades do computador onde corre a simulação e tem sempre disponível toda a informação relativa ao estado do microcontrolador [13].

A utilização conjunta destas ferramentas constitui assim uma forte plataforma de desenvolvimento, bastante flexível na relação custo/funcionalidades, que permite abranger um vasto grupo de utilizadores, que pretendam ou não beneficiar dos recursos mais avançados de desenvolvimento, que apresentem um maior ou menor conhecimento da arquitectura *software* e *hardware* em questão. Um factor que pode constituir um entrave para utilizadores de sistemas operativos *Linux* e *MacOS* prende-se com o facto de toda esta plataforma de *software* e *hardware* de *debugging* baseada no ambiente *MPLAB* ser apenas suportada por sistemas operativos *Microsoft Windows*.

4.4 Sistema Operativo Tempo-Real (RTOS)

Acompanhando a evolução dos microcontroladores, que apresentam arquitecturas cada vez mais avançadas e capacidades de memória mais elevadas, os engenheiros de sistemas embutidos começam a ter disponíveis para os dispositivos de custo mais reduzido sistemas operativos, que permitem o desenvolvimento de complexas aplicações segundo um modelo multi-tarefa, à semelhança do que há muito se pratica ao nível dos computadores pessoais. Esta evolução do modelo

de programação em microcontroladores, que até muito recentemente era baseado numa estrutura monolítica, em que se recorria a rotinas de interrupção temporizadas para executar acções com requisitos temporais, permite ao utilizador uma maior abstracção dos detalhes complexos relativos ao escalonamento temporal de acções, que passa a ser da responsabilidade do sistema operativo e promove um maior particionamento do software, que facilita o teste, a divisão do trabalho em equipas e reutilização de código entre plataformas.

No seguimento desta filosofia, surge o *kernel* Tempo-Real *FreeRTOS*, um sistema multi-tarefa e multi-plataforma desenvolvido para ser simples, pequeno e fácil de utilizar baseado em *ticks*, unidade de tempo base da qual, todos os eventos do sistema, são múltiplos inteiros. Este *kernel* não impõe restrições ao número de tarefas que o sistema pode apresentar, realizando o escalonamento destas com base um mecanismo de prioridades fixas, sendo opcional a existência ou não de preempção entre estas. Embora nestas arquitecturas de *software* um programa se apresente segmentado em tarefas, na maioria das situações existem relações de dependência entre estas, como precedências de execução, partilha de recursos e de dados, sendo portanto facultada pelo *FreeRTOS*, uma Interface de Programação de Aplicativos (API) que inclui ferramentas de sincronismo e comunicação entre tarefas ou entre tarefas e interrupções, como filas de mensagens, semáforos e *mutexes*. Devido ao facto de ser possível a existência de preempção entre as tarefas, estes recursos são importantes também para evitar a existência de condições de corrida no acesso a estes, que degeneram numa execução inconsistente dos programas. Por ser escrito maioritariamente em C e ser uma ferramenta *open-source*, o *kernel FreeRTOS* apresenta elevada portabilidade e escalabilidade, sendo compatível com microcontroladores de fornecedores, para além da *Microchip*, como a *ATMEL*, a *NXP*, a *Xilinx*, entre outros [6].

4.5 Comparação com o PIC18F458

De modo a avaliar comparativamente todos os avanços desta arquitectura apresentada, realizou-se um pequeno teste com dois microcontroladores da *Microchip*, um *PIC32MX340F512H*, que apresenta uma arquitectura de 32-bit, com um *core* a operar a 80MHz e um *PIC18F458*, arquitectura de 8-bit, funcionando a 40MHz. Compilou-se o código de teste utilizando o compilador *PICC-18 V8.30* da *HT-Soft* para o *PIC18*, e o compilador *MPLAB C32 V1.05* para o *PIC32MX*, sem quaisquer optimizações para as duas plataformas. O programa de teste consiste em calcular o 24º elemento da série de Fibonacci, o máximo número da série representável numa variável de 16-bit, calcular os elementos de um triângulo de Pascal com 10 linhas, sendo este teste limitado pelas restrições de memória do *PIC18*, e finalmente calcular o resultado da operação $\sin(0.123)$. Estes códigos, embora bastante simples, exemplificam situações de execução em *loop*, manipulação de ponteiros e o uso de *libraries* matemáticas para cálculos em vírgula flutuante, constituindo assim uma boa base de comparação da performance destes sistemas. Medindo os tempos de execução, recorrendo aos *timers* dos sistemas, obtiveram-se os resultados apresentados na tabela 4.1.

Confirmando o esperado à partida devido à superioridade da arquitectura do *PIC32MX*, verificam-se tempos de execução bastante inferiores neste sistema comparativamente ao *PIC18*. Estes resultados são, no entanto, meramente indicativos uma vez que existem nesta situação

Teste	PIC18F458 μs	PIC32MX340 μs
Série de Fibonacci	113	3.38
Triângulo de Pascal	681.6	16.16
$\sin(0.123)$	442	3.24

Tabela 4.1: Comparação dos tempos de execução em diferentes tarefas

factores inerentes ao código *assembly* produzido pelos compiladores. No que toca aos preços de mercado destes produtos, em Maio de 2010, o *PIC32MX340F512H* apresenta um custo de €6,74 enquanto o *PIC18F458* um custo de €6,61, que vai de encontro com a análise previamente realizada neste artigo, em que a relação *performance vs custo* tende notoriamente para o microcontrolador de 32-bit.

Capítulo 5

Software Controlo do Inversor

Este capítulo pretende apresentar os principais mecanismos utilizados no sistema de controlo do inversor, implementados em software ao nível do microcontrolador *PIC32MX*. Estes podem ser, numa visão mais global, divididos em duas categorias:

- *Device drivers*, implementados na camada de mais baixo nível do microcontrolador, com acesso directo aos recursos deste, como *timers* e interrupções.
- Tarefas escalonadas, implementadas numa camada superior do software, tendo como base o *kernel Free-RTOS* [6], que cria uma camada de abstracção relativamente a alguns dos mecanismos do microcontrolador e permite uma maior modularidade do código.

5.1 Sincronismo com a Rede

O elemento fundamental para a operação do inversor no modo *Grid-connected* é a correcta geração do sinal de referência da corrente utilizado pelo algoritmo de controlo do sistema, pelo que é imperativa a implementação de um mecanismo que possibilite a detecção da fase e frequência do sinal da rede, com o qual o sistema deverá sincronizar o seu funcionamento.

O sistema de sincronismo adoptado neste inversor tem como elemento chave o circuito de detecção de passagens por zero do sinal da rede que, em condições ideais, gera uma interrupção por flanco a cada 100Hz ao nível do microcontrolador. Os sinais envolvidos neste método e relação entre estes encontram-se apresentados na figura 5.1.

Sendo possível determinar a polaridade das arcadas da rede e determinar os instantes em que há alternância desta, é necessário providenciar um sinal de referência que possa ser utilizado pelo algoritmo de controlo durante os 10ms que medeiam cada evento de sincronização. Assim, encontra-se residente na memória do microcontrolador, sob forma de um vector com 100 valores, uma arcada positiva da onda de corrente alterna com 2A *rms* de pico, fornecendo os valores base do *set-point* do controlador de corrente ao longo de um semi-ciclo da rede. A onda de referência base poderá ser extrapolada para operar como referência das arcadas negativas da rede e também de ondas de corrente de maior ou menor amplitude, bastando para tal utilizar um factor de ganho positivo ou negativo que afecta os valores tabelados. Dispondo de 100 valores de referência

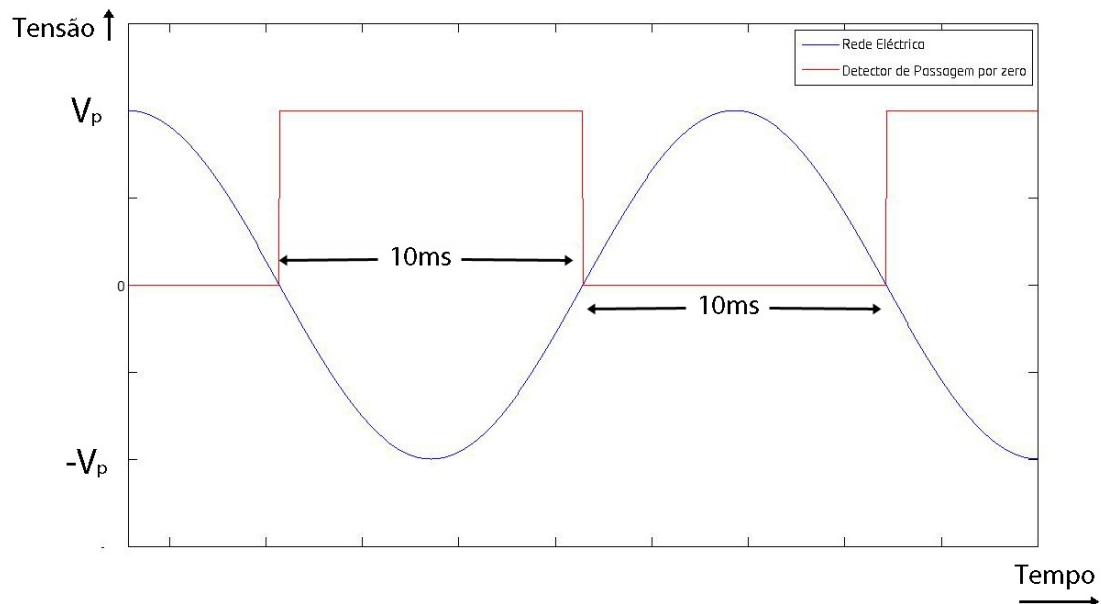


Figura 5.1: Variação do sinal de detecção de passagem por zero com o sinal de tensão da rede eléctrica

para cada arcada da rede, deverá ser actualizado o *set-point* da corrente a cada $100\mu s$, sendo para o efeito utilizadas a funcionalidade de escalonamento de tarefas do *Kernel Free-RTOS*, que agendam a execução periódica de uma tarefa que realiza esta acção. O conceito geral deste mecanismo encontra-se esquematizado em 5.2

Uma vez que este mecanismo de sincronização se encontra fortemente dependente das passagens por zero do sinal da rede, é de grande relevância para o correcto funcionamento do inversor a qualidade do sinal que lhe serve de referência. Uma vez que na topologia do inversor existem elementos comutadores a operar a alta frequência (ponte H de controlo do primário do transformador) bem como outros que efectuem a sua comutação nos instantes de tensão da rede nula (ponte H de inversão de arcadas), é natural a existência de algum ruído ao nível das passagens por zero que poderão activar o sistema de detecção destes eventos múltiplas vezes sendo, erroneamente, detectadas várias mudanças de fase num reduzido espaço de tempo. Assim, de modo a proteger o sistema de controlo do inversor desta situação problemática, foi implementado um mecanismo de filtragem das detecções de passagem por zero, baseado na utilização de janelas temporais em torno dos instantes espectáveis para a ocorrência das transições, a cada 10ms, restringindo a uma única detecção a alternância de polaridade no sentido esperado do sinal da rede durante esse período de tempo. Ao nível da implementação efectuada no microcontrolador, a abertura de janelas temporais corresponde efectivamente à activação do módulo de detecção de interrupções externas, que permanece activo até ocorrer uma interrupção causada por um flanco ascendente ou descendente, dependendo da situação esperada, ou se esgotar a janela de tempo definida. A abertura e fecho destas janelas está implementada ao nível dos *timers* do microcontrolador e não com recurso a tarefas ao nível do *kernel* tempo-real uma vez que, experimentalmente verificou-se que a existência de *jitter* no tempo entre activações das tarefas responsáveis por es-

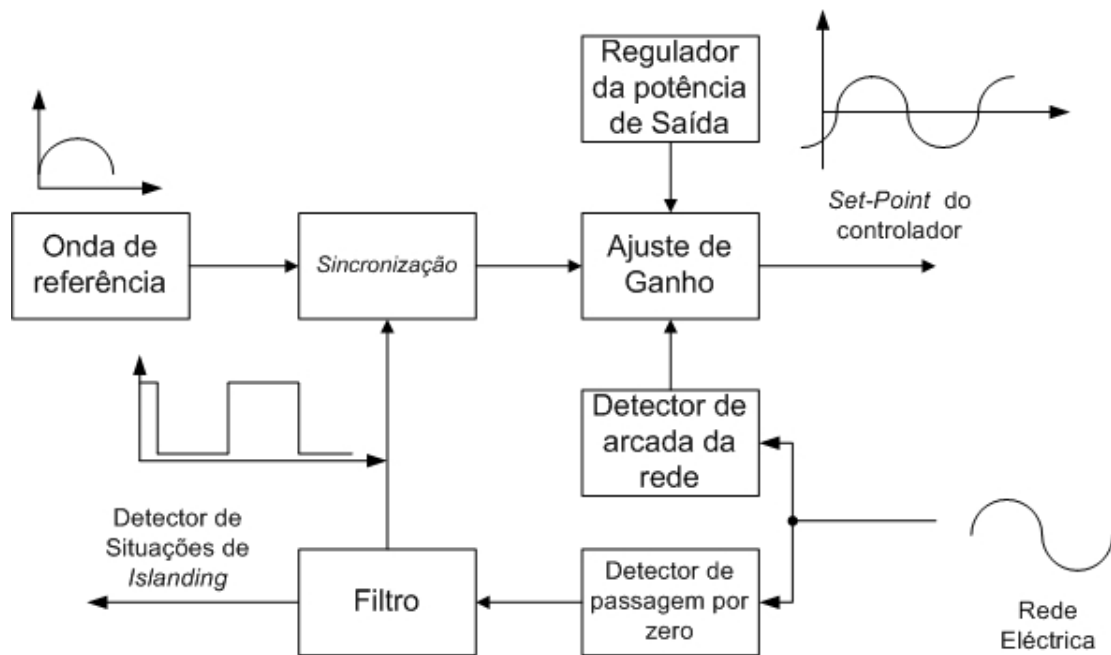


Figura 5.2: Diagrama de blocos do sistema de sincronismo e geração do *Set-Point* do controlador

tas acções comprometia o correcto funcionamento do sistema. Na figura 5.3 é apresentado um diagrama conceptual onde se encontra explicitado o mecanismo de janelas temporais para detecção dos pontos de sincronismo do sistema em que os instantes representados a verde e vermelho correspondem à activação e desactivação das interrupções externas pela rotina de atendimento às interrupções do *timer* e a amarelo estão representadas as interrupções causadas pelo detector de passagem por zero.

Com base na figura 5.3, verifica-se que na transição entre a arcada negativa e positiva da rede eléctrica não existe um fecho da janela temporal. Esta situação deve-se ao facto do estado *high* do sinal de saída do sistema de detecção de passagens por zero ser o estado por defeito deste mecanismo, havendo apenas uma transição para o estado *low* na condição de surgir uma arcada positiva da rede. Caso por algum motivo, como em situação de falha da rede, não surja uma arcada positiva da rede, a saída do detector permanecerá no estado *high* e o sistema de controlo permanecerá bloqueado e desligará a saída do inversor, uma vez que nesta situação decorreram mais de 10ms relativamente à última sincronização. As situações de falha da rede e a dimensão das janelas temporais que permitem detectar estas ocorrências terão uma melhor cobertura ao nível da secção 5.6.

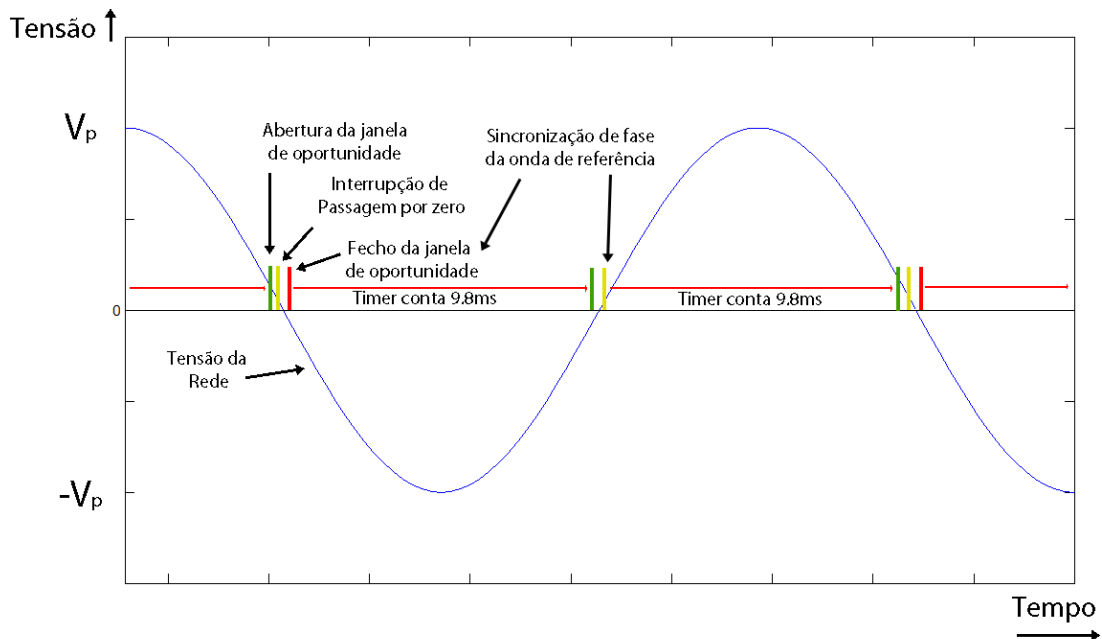


Figura 5.3: Mecanismo de controlo de janelas temporais

5.2 Controlo da Ponte Inversora de Arcadas

O controlo da ponte inversora a operar a 100Hz está directamente dependente do mecanismo de sincronização do inversor, uma vez que as comutações deverão ocorrer nos instantes em que a tensão da rede é nula. Este sistema é totalmente comandado por software, através da utilização de dois portos digitais, sendo gerado nestes um sinal quadrado, em oposição de fase com uma frequência de 50Hz. No entanto, este processo deverá ter em atenção o facto do *turn off delay time* dos *IGBT* da ponte ser da mesma ordem de grandeza do execução de duas instruções de comutação do nível lógico dos portos de saída, responsáveis por comutar o sentido da corrente na carga da ponte H. De modo a evitar situações de curto-circuito na ponte H, que ocorrerão ao desactivar um dos segmentos da ponte e activar o oposto imediatamente, utilizou-se a rotina de atendimento à interrupção do *timer* de controlo das janelas temporais e a rotina de atendimento à interrupção externa causada pela passagem por zero para controlar as activaões dos *IGBT*, permitindo gerar o tempo morto entre comutações destes. Na figura 5.4 está representado este mecanismo, podendo observar-se a sua relação com o sistema de controlo das janelas temporais anteriormente apresentado.

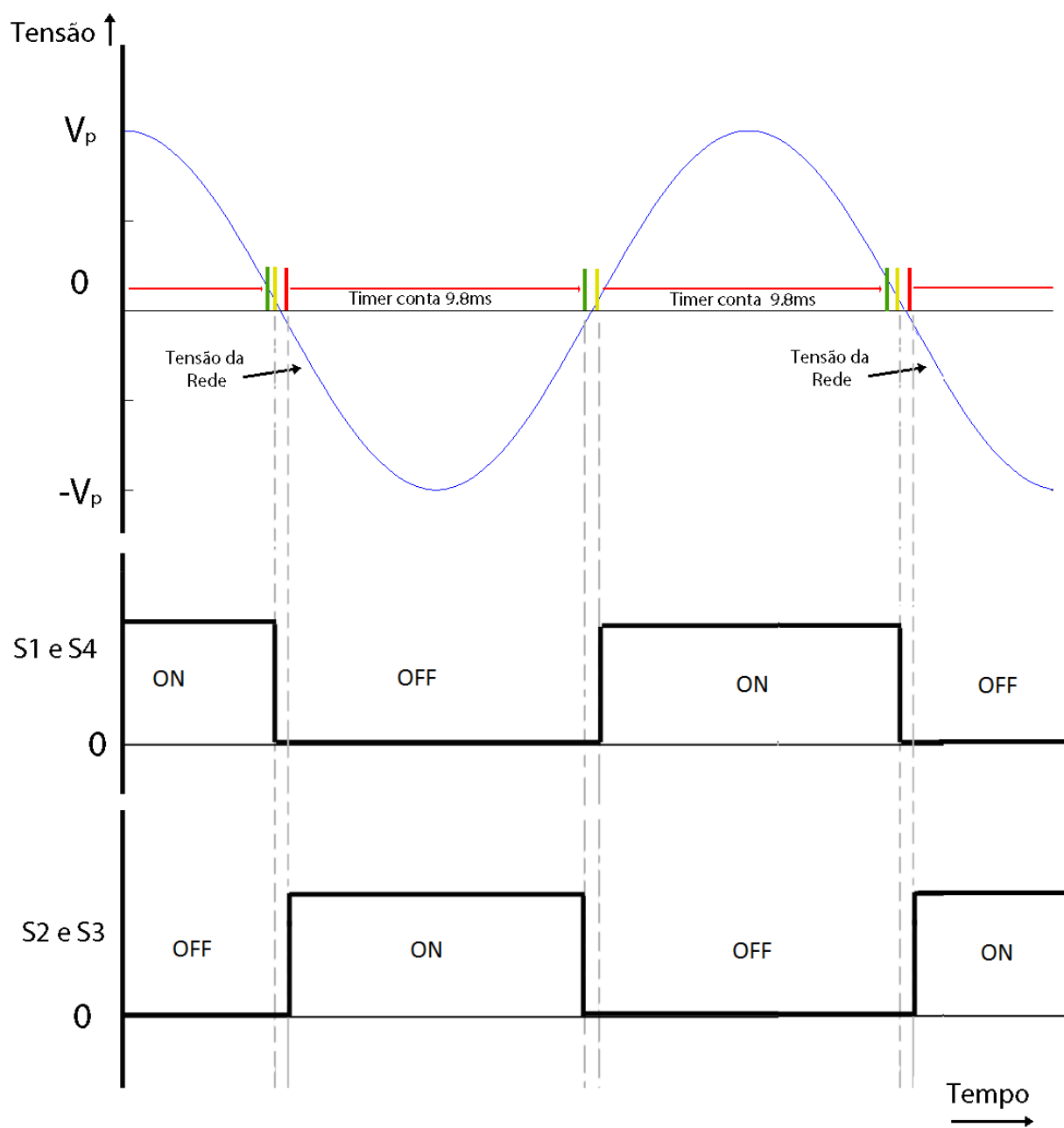


Figura 5.4: Mecanismo de controlo da comutação da Ponte H de Inversão de Arcadas

5.3 Tarefas escalonadas no Sistema Operativo Tempo-Real

Os mecanismos apresentados nas duas secções anteriores apresentam restrições mais elevadas no que toca aos tempos de atendimento dos eventos por si gerados, daí terem sido implementados numa camada a mais baixo nível, com utilização directa dos recursos da arquitectura do microcontrolador. No entanto, de modo a facilitar a segmentação das operações de controlo do inversor e expeditamente definir a periodicidade com que estas são executadas, como já foi referido, foi utilizado o sistema operativo Tempo-Real *FreeRTOS* que implementa uma camada de abstracção para o utilizador disponibilizando ferramentas que permitem dividir o funcionamento do sistema em tarefas, apresentam mecanismos de controlo de acesso a recursos partilhados, permitem definir prioridades relativas entre eventos e as características temporais da sua execução, nomeadamente se se tratam de acções periódicas ou aperiódicas.

No sistema em questão foram implementadas três tarefas, descritas seguidamente.

- A tarefa *vBatCheck* é responsável pela monitorização da tensão DC presente à entrada do inversor, é executada com uma frequência de 1kHz e, na situação de ser detectado um valor de tensão inferior a um nível que não garanta a capacidade do inversor injectar corrente na rede eléctrica, este deverá entrar num estado de *standby* aguardando até as condições de operação serem reestabelecidas. O estado de *standby* consiste na desactivação da tarefa de controlo do conversor *Flyback* que é responsável por gerar as tensões de alimentação da lógica de ataque aos circuitos de comutação do inversor.
- A tarefa *vFlybackControl*, apresenta a prioridade mais baixa e é responsável pelo controlo em malha fechada do conversor *flyback*, que gera as tensões de alimentação do circuito lógico e de ataque aos elementos comutadores do inversor. É executada com uma periodicidade de 1kHz, medindo a tensão de saída de um dos sub-circuitos do conversor *flyback* e actuando neste alterando o *duty-cycle* do sinal *PWM* de controlo do elemento comutador do conversor.
- A tarefa *vIControl* implementa o sistema de controlo da corrente de saída do inversor sendo executada com uma frequência de 10kHz. A activação desta tarefa é realizada pelo mecanismo de sincronismo com a rede, sendo executada cem vezes até bloquear novamente e aguardar por nova activação. Durante a sua execução, é responsável por fornecer um novo valor de referência para o algoritmo de controlo de corrente, proveniente da tabela que guarda os valores de semi-período positivo de uma onda sinusoidal, efectuar a execução do algoritmo de controlo PID e controlar o *duty-cycle* do sinal *PWM* utilizado pela circuito lógico de controlo da *Full-Bridge* que modula a tensão no enrolamento primário do transformador de isolamento e elevação do inversor.

5.4 Algoritmo de Controlo

Complementando a acção dos elementos de filtragem implementados em *hardware*, com o objectivo de atenuar o conteúdo espectral a alta frequência e consequentemente reduzir a distorção causada pelos harmónicos de ordem mais elevada, foi também implementado ao nível do *software* um sistema de controlo intervindo agora ao nível dos harmónicos de mais baixa ordem, utilizando um algoritmo que conduza o sistema à geração de uma onda de corrente de forma sinusoidal, em fase com a onda de tensão e de valor nominal pretendido.

Na figura 5.5 é apresentada a topologia tipo de um sistema de controlo em malha fechada.

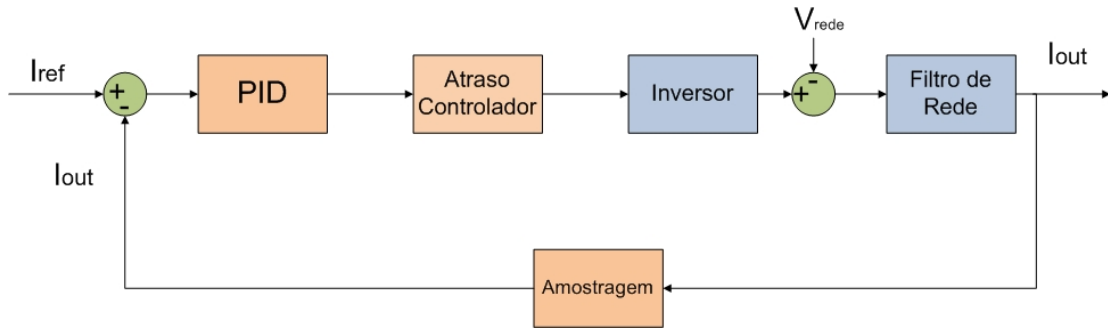


Figura 5.5: Malha de controlo do sistema, com *feedback* por corrente

No inversor *Grid-Connected* apresentado nesta dissertação, a variável de entrada do controlador é o erro da corrente de saída do inversor, obtida através da diferença entre a corrente de saída do inversor e uma corrente de referência com forma sinusoidal sincronizada com a rede, e a variável de saída é um valor que actua ao nível do *duty-cycle* do sinal *PWM* que efectua a modulação da tensão DC e influencia quer a amplitude quer a forma da onda de corrente da saída. Uma vez que, no sistema a controlar, o *set-point* do sinal de referência apresenta uma variação de forma sinusoidal, existe efectivamente uma grande correlação entre acções de controlo sucedentes pelo que, ao invés de se utilizar um algoritmo de controlo absoluto, foi implementado um algoritmo na forma incremental, em que um sinal de controlo apresenta uma parcela, resultante de uma nova iteração do controlador, que constitui uma variação relativa ao valor de actuação da acção de controlo prévia [21]. Assim, a variável de controlo num dado instante é dada pela expressão 5.1.

$$u(t_k) = u(t_{k-1}) + \Delta u(t_k) \quad (5.1)$$

Neste tipo de implementação de um controlador está inerente uma forte componente integradora devido à forma aditiva que o torna dependente das acções de controlo passadas.

A fracção variável do sinal de controlo, $\Delta u(t_k)$, é calculada utilizando um controlador PID, algoritmo cuja variável de controlo é resultante de três termos: termo Proporcional (que é proporcional ao erro), termo Integral (que é proporcional ao integral do erro) e, finalmente, o termo Diferencial (que é proporcional à derivada do erro). Associados a estas três componentes estão

três parâmetros ajustáveis, que permitem condicionar o comportamento do compensador, que são o ganho proporcional K , o tempo de integração T_i e o tempo derivativo T_d , encontrando-se o modelo matemático da implementação paralela deste controlador apresentado em 5.2

$$\Delta u(t) = K_p(e(t) + T_d \dot{e}(t) + \frac{1}{T_i} \int_0^t e(\tau) d\tau) \quad (5.2)$$

Da exposição efectuada é possível afirmar que o comportamento do controlador PID é o resultado dos comportamento dos três tipos básicos de controladores que o constituem e, sendo os seus parâmetros individuais devidamente ajustados, é possível obter uma resposta do sistema que estabelece um compromisso entre as melhores características dos três controladores como a sobre-elevação da resposta do sistema, tempos de estabelecimento e erro em regime estacionário.

Como já foi referido, o controlador proporcional apresenta uma resposta que é proporcional ao erro da saída do sistema. Empiricamente, conclui-se que aumentando o ganho do controlador, com maior rapidez este compensará o erro mas, no entanto, também maior será a oscilação do sistema em volta do seu *set-point* e o sistema dificilmente apresentará um erro em regime estacionário nulo. A inclusão de um factor integral no sistema irá contrariar a resposta oscilatória apresentada pelo compensador proporcional uma vez que agora, a variável de actuação tenderá a convergir para um valor final, à medida que o erro se for reduzindo. Quanto maior for o tempo de integração T_i , maior relevância terá o factor integral na variável de controlo, mais estável será o sistema em regime estacionário mas também mais lenta será a resposta dinâmica deste, devido à maior relevância dada ao erro do tempo passado. A inclusão de um factor derivativo no controlador, vem acrescentar ao sistema uma melhor resposta dinâmica, actuando como um elemento de predição do sinal de erro. No entanto, quanto maior for a constante de tempo de derivação T_d maior influência terão as variações do sinal de erro, o que poderá se problemático em sistemas que apresentem bastante ruído uma vez que grandes variações no sinal conduzem a uma elevada resposta do bloco derivativo do controlador e consequentemente o sistema poderá apresentar uma resposta oscilatória a alta frequência.

De modo a tornar possível a implementação do algoritmo de controlo em microcontroladores, efectuou-se uma decomposição em paralelo da expressão 5.2, sendo realizada a discretização individual de cada um dos termos do controlador obtendo a expressão em tempo discreto do controlador PID apresentada em 5.3, onde o parâmetro h representa o passo de amostragem. Os detalhes do procedimento adoptado encontram-se detalhados no Anexo A, na secção A.3.

$$\Delta u(t_k) = K_p(e(k) + \frac{i(k-1)}{K_p} + \frac{h}{T_i} e(k) + T_d \frac{e(k) - e(k-1)}{h}) \quad (5.3)$$

Relativamente à calibração dos parâmetros do algoritmo de controlo, foi utilizado um procedimento de ajuste baseado na observação da resposta do sistema, através da análise do atraso de fase da onda de corrente face à tensão de referência e a distorção harmónica da forma de onda de corrente. Para facilitar este processo, os parâmetros do controlador foram sendo alterados com o inversor em pleno funcionamento, avaliando-se com recurso ao osciloscópio a influência de cada

uma das componentes na qualidade do comportamento do sistema quer no domínio do tempo quer no domínio da frequência.

Complementarmente a este sistema de ajuste, é possível também utilizar o programa *MATLAB* para observar a evolução de parâmetros do sistema como o erro entre o sinal de referência e a saída em corrente do inversor, o *duty-cycle* do sinal *PWM* responsável pela modulação sinusoidal da tensão DC e a influência individual de cada uma das componentes do controlador PID ao nível do sinal de controlo do sistema. Estes parâmetros são enviados via porta série quando se activa o modo *verbose* do inversor, sendo capturados para um ficheiro de texto que é processado por um *parser* implementado ao nível do *MATLAB*, obtendo-se assim os gráficos 5.6 e 5.7 relativos aos diversos parâmetros analisados.

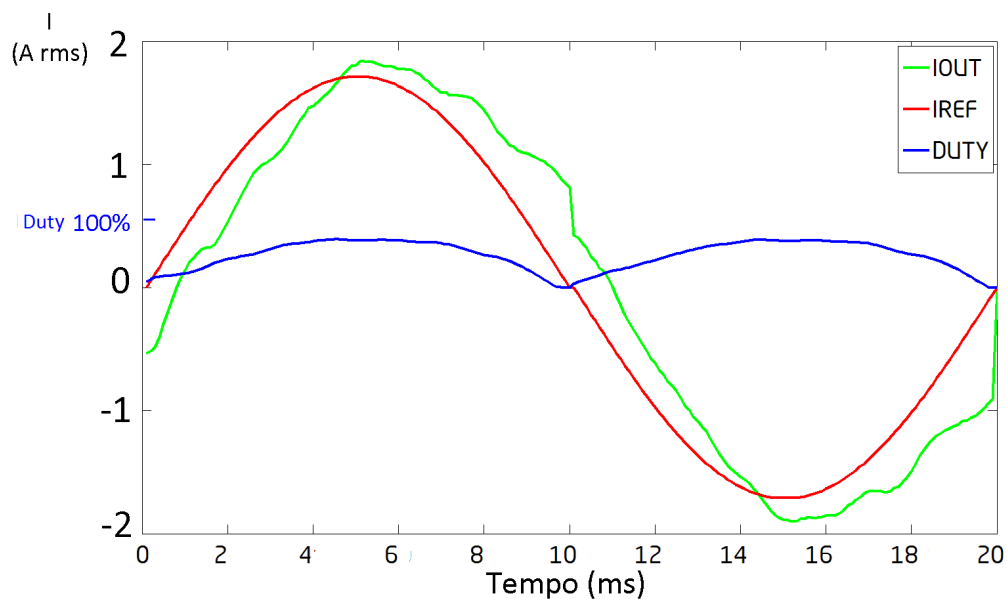


Figura 5.6: Gráfico dos dados transmitidos para o *MATLAB*. Estes resultados são a média de vários períodos de 20ms, apresentando a comparação entre a onda de referência pretendida, I_{ref} , o sinal de corrente amostrado pelo microcontrolador na saída do sistema, I_{out} , e o sinal de controlo do inversor, *Duty*, durante uma situação de ajuste do controlador.

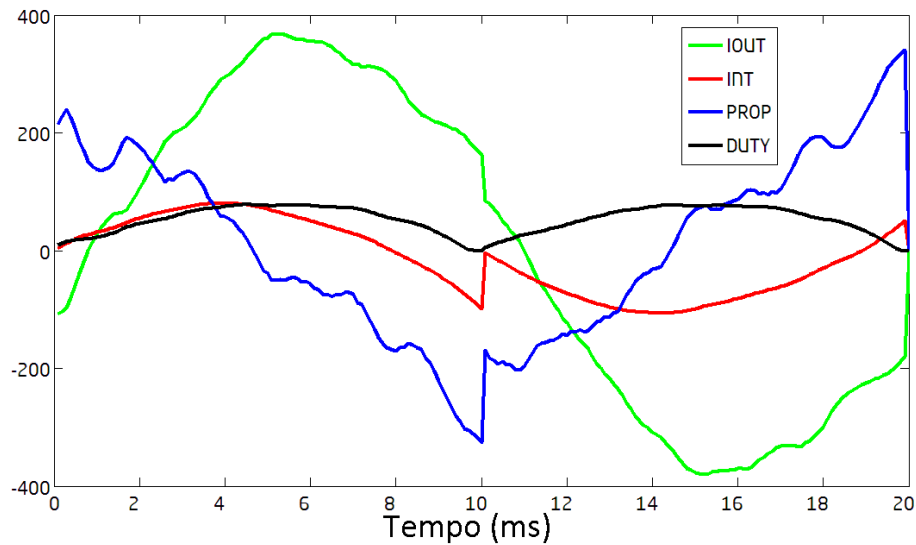


Figura 5.7: Gráfico com evolução de algumas das componentes do controlador PID, como a proporcional e integral, juntamente com o *duty-cycle* do sinal de controlo e a corrente de saída. A escala do eixo vertical encontra-se em unidades relativas aos cálculos internos do microcontrolador, armazenados em variáveis inteiras com sinal.

5.5 Modulação SPWM

Como foi brevemente referido no capítulo 3, a comutação da *Full-Bridge* que controla o fluxo de energia através do transformador é realizada a alta frequência e, de modo a se obter uma onda de corrente de forma sinusoidal após as etapas de filtragem, utiliza-se uma técnica de modulação do sinal *PWM* conhecida como *Sinusoidal PWM*.

A implementação desta técnica baseia-se na comparação de uma forma de onda de referência, o sinal modulador proveniente do controlador do sistema, com uma portadora triangular de alta frequência, tal como é apresentado na figura 5.8. Comparando as amplitudes destas duas entradas, obtém-se um sinal que poderá ser positivo ou nulo, conforme a amplitude da referência seja ou não superior à da portadora, e, uma vez que a referência apresenta uma variação sinusoidal da sua amplitude, o resultado da comparação dos dois sinais é um sinal pulsado, cujo *duty-cycle* varia ao longo do tempo de forma também sinusoidal.

Esta técnica de modulação, para além de permitir obter uma tensão segundo a forma de onda do sinal modulante, permite também controlar a amplitude desta. Quando o sinal modulante é uma sinusóide de amplitude A_m e a amplitude da onda portadora triangular é A_c , a relação $m = A_m/A_c$ é conhecida como o índice de modulação. Manipulando este valor, utilizando uma referência de maior ou menor amplitude, é possível controlar a amplitude da onda sinusoidal que se obtém após filtragem e, desta forma, controlar a potência de saída do sistema inversor. É importante referir que, embora seja possível utilizar índices de modulação $m > 1$, situação co-

hecida como sobre-modulação, existirão períodos em que não há intersecção entre a portadora e o sinal modulante, possibilitando ao sistema a obtenção de uma onda AC de maior magnitude mas também com uma forma de onda mais distorcida devido ao aparecimento de harmônicos a mais baixas frequências. Nas figuras 5.8 e 5.9 é apresentada um exemplo da obtenção do sinal *PWM* modulado sinusoidalmente.

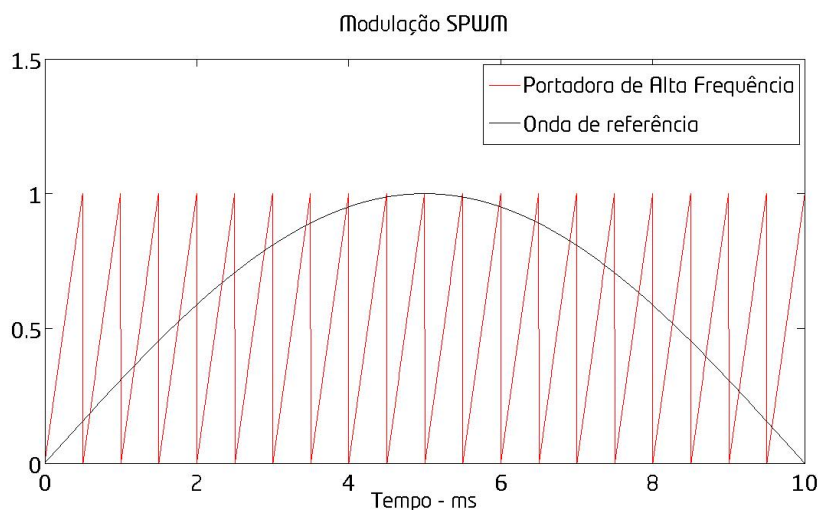


Figura 5.8: Sistema de modulação *SPWM* utilizando onde o índice de modulação da amplitude é $m = 1$

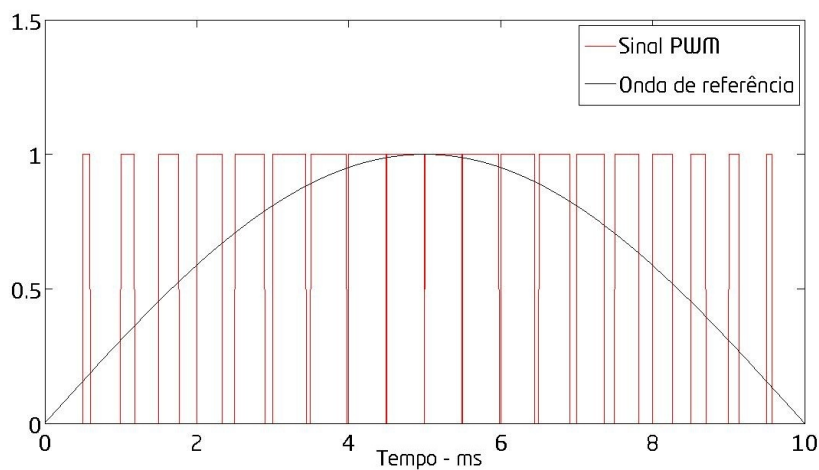


Figura 5.9: Sinal *PWM* resultante

Relativamente à frequência de modulação, a utilização de uma portadora a alta frequência facilita a etapa de filtragem, devido a uma maior atenuação do filtro LCL a altas frequências, pelo que o índice de modulação da frequência, m_f , deverá ser alto. No entanto, como já foi

realçado no capítulo 3, a utilização de sinais de elevada frequência acarreta problemas ao nível das perdas no sistema, nomeadamente ao nível do transformador e condutores.

Ao nível da implementação no microcontrolador, a portadora triangular de alta frequência é implementada utilizando o módulo *Output Compare*, que recorre a um *timer* para simular a onda triangular e utiliza um registo do microcontrolador que contém um valor que é constantemente comparado com a contagem do *timer*, levando à comutação do nível do sinal *PWM* quando os dois valores se igualarem. Este registo é actualizado a uma frequência de 10kHz pela tarefa de controlo da corrente de saída do inversor.

5.6 Detecção de situações de *Islanding*

No inversor desenvolvido implementou-se uma técnica de detecção de situações de *islanding* baseada na monitorização do período da onda de tensão da rede, aplicando medidas preventivas aquando da detecção de variações bruscas neste parâmetro. Quando a rede eléctrica está presente, a tensão no ponto de ligação do inversor à rede de distribuição é, em condições normais, forçada pela rede, apresentando uma frequência constante. Quando a rede eléctrica é desconectada, a tensão no ponto comum com o inversor deixa de ser rigidamente forçada pela rede e, até que o inversor detecte essa ausência, este continuará a fornecer corrente seguindo a mesma onda de referência sinusoidal, que apenas é sincronizada aquando das passagens por zero da tensão. Desta forma, mesmo que a rede de distribuição falhe, a fase da onda de corrente não sofrerá nenhuma alteração entre instantes de sincronismo porque é controlada pelo inversor. Entre passagens por zero, o inversor encontra-se literalmente a funcionar em malha aberta no que respeita ao sincronismo com a rede. Ao nível da onda de tensão, não se passa a mesma situação. Quando se dá uma situação de *islanding*, a tensão deixa de ser forçada pela rede eléctrica. Desta forma, dependendo da impedância da carga existente aos terminais do inversor, a onda de tensão poderá sofrer um salto de fase, como é observado na figura 5.10. Na próxima detecção de passagem por zero, que idealmente ocorreria 10ms após a anterior, o erro de fase causado por esta situação levará à existência de um desvio temporal da onda de tensão que, caso seja superior a um limite predefinido, conduz à detecção de uma situação de *islanding*.

Este sistema é vantajoso na medida em que reutiliza o sistema de sincronismo com a rede, que um inversor *grid-connected* invariavelmente necessita, sendo apenas necessário adicionar a funcionalidade de desactivação deste quando ocorrem flutuações significativas do tempo entre dois instantes consecutivos de sincronismo. Além disso, como é um método passivo, não tem impacto na qualidade da potência injectada na rede.

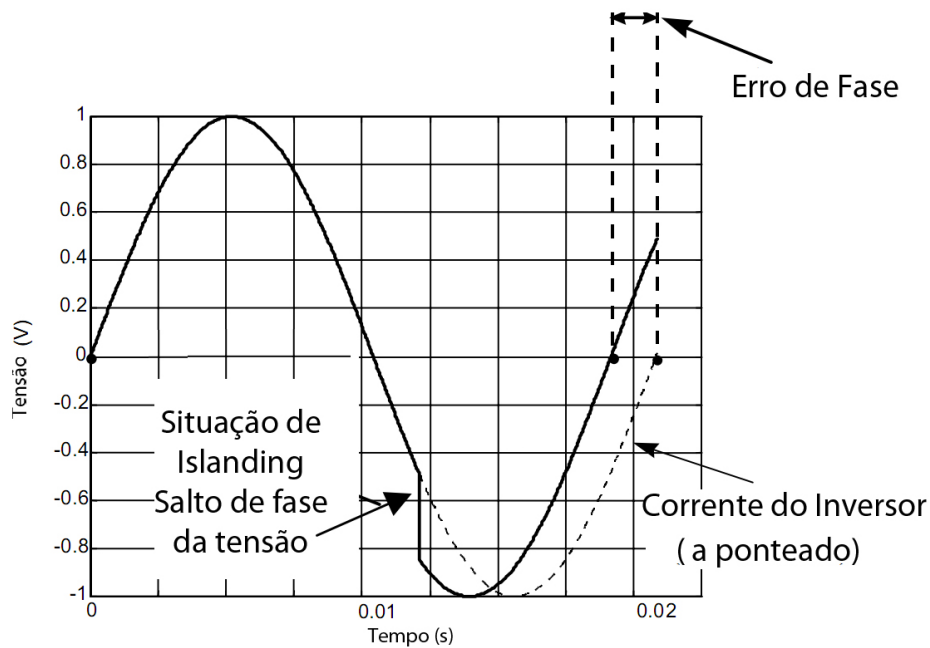


Figura 5.10: Detecção de *Islanding* por salto de fase da tensão

No entanto, a desvantagem deste sistema prende-se com o facto de ser difícil definir uma gama de variação admissível que permita detectar situações de *Islanding* mas também que não cause situações de detecção erróneas. O arranque de dispositivos como motores é um exemplo de situação que causa saltos de fase significativos na rede. Outro problema deste sistema prende-se com a sua zona morta de detecção uma vez que uma carga puramente resistiva à frequência da rede não irá produzir um erro de fase quando a rede eléctrica é desconectada, permitindo assim a operação indevida do inversor. No sistema implementado admitiu-se um erro de fase máximo de $\pm 0.1ms$, o que permite acomodar flutuações de frequência na gama $50 \pm 0.25Hz$.

Como foi expresso brevemente no capítulo introdutório desta dissertação, existem diversas metodologias para detectar as situações de *islanding*, mais robustas mas também mais complexas, que poderão ser analisadas em [4].

Capítulo 6

Resultados

Neste capítulo serão apresentados os resultados do funcionamento do inversor, analisados os dados relativos aos três momentos fundamentais de operação: a entrada em funcionamento sincronizada com a rede, funcionamento síncrono para diferentes níveis de potência fornecida e, finalmente, detecção de situações de *islanding*.

Devido a limitações ao nível da fonte primária do inversor disponível no laboratório, os testes ao sistema foram realizados a uma escala reduzida da potência máxima para a qual o inversor foi especificado para operar, tendo esta sido limitada a 500VA. Relativamente aos componentes do filtro, devido à indisponibilidade dos componentes com os valores calculados no anexo A, na secção Dimensionamento do Filtro LCL, utilizaram-se os valores $L_i = 330\mu H$, $C_f = 3\mu F$, $L_g = 47\mu$ e $R_{damping} = 3.3\Omega$. A bancada de teste utilizada encontra-se apresentada na figura 6.1 sendo seguidamente apresentados alguns dos instrumentos de maior relevância utilizados.

- Fonte primária

Transformador de isolamento da entrada do sistema

Fonte de alimentação Oltronix B32-20R, 32V 20A

Duas baterias 12V 7Ah e uma bateria 6V 7Ah ligadas em série

- Dispositivos de medida

Osciloscópio Tektronix TDS1001B 40Mhz 500MS/s de 2 Canais

Ponta diferencial Elditest GE8100

Multímetro Fluke 87

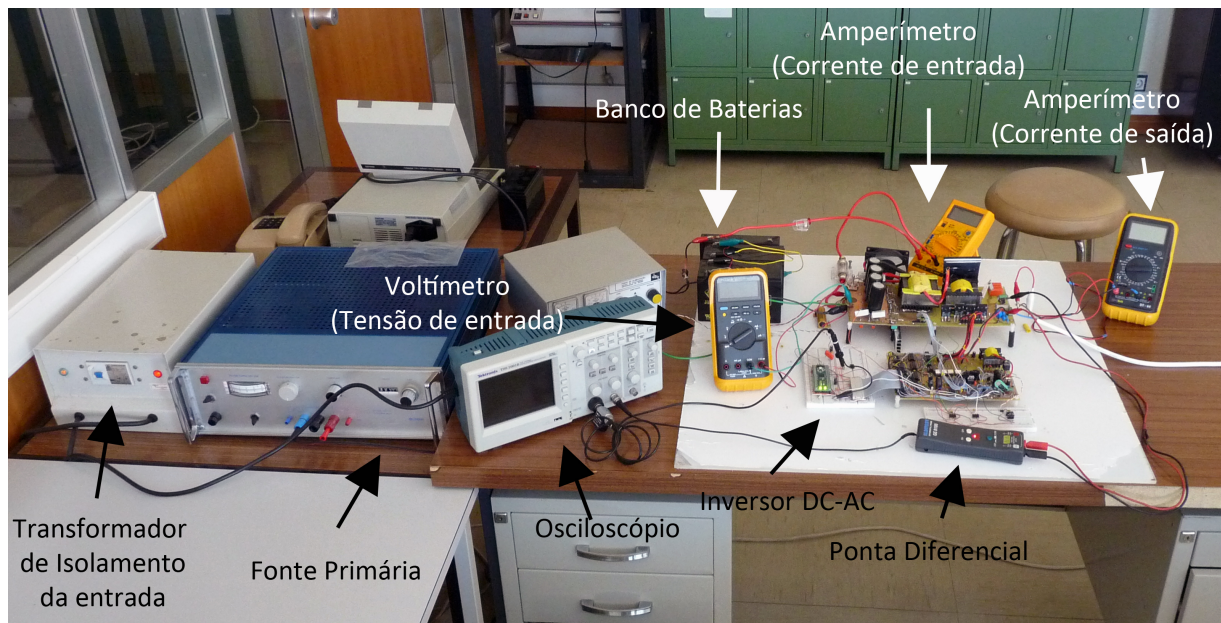


Figura 6.1: Bancada de testes experimentais ao inversor

Numa primeira etapa, como medida de segurança, o inversor foi ligado indirectamente à rede eléctrica, mediante a utilização de um dispositivo de isolamento constituído por dois transformadores de 500VA 230V/14V, ligados segundo o esquema apresentado na figura 6.2. A resistência colocada em série no lado de baixa tensão do dispositivo serve unicamente para limitar a corrente que circula pelos transformadores em caso de curto-circuito, reduzindo a hipótese de danificar estes elementos. Esta montagem, para além de isolar o inversor da rede eléctrica, também permitiu medir a corrente que circula na rede numa zona de tensão reduzida e segura.

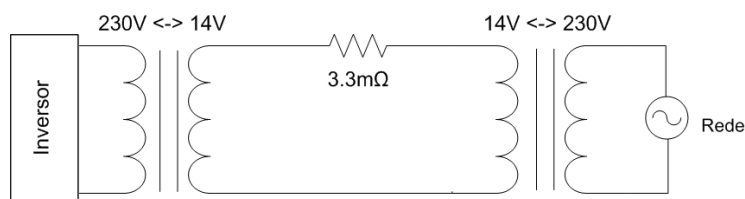


Figura 6.2: Sistema de isolamento da rede eléctrica

Posteriormente, este dispositivo foi removido, efectuando-se com sucesso a ligação da saída do inversor directamente à rede eléctrica, mantendo este a mesma estabilidade no seu comportamento. Também se confirmou que a utilização do dispositivo de isolamento não influenciou a qualidade dos resultados obtidos durante a fase de desenvolvimento. No entanto, todas as medições apresentadas neste capítulo foram realizadas com o sistema directamente ligado à rede.

Em todos os gráficos apresentados, a forma de onda da tensão de rede é obtida directamente no ponto de interface do inversor com a rede. A corrente apresentada corresponde ao sinal da entrada da ADC do microcontrolador. Verificou-se, contudo, que este sinal, que passa por um

amplificador de isolamento, é uma réplica fiel do valor da corrente da rede. O atraso introduzido por este componente é da ordem dos $10\mu s$ e apresenta uma largura de banda de 100kHz não afectando, desta forma, um sinal cuja frequência fundamental é 50Hz, mesmo considerando a existência de harmónicos a frequências superiores.

6.1 Sincronização com a Rede Eléctrica

Na figura 6.3 é apresentada a situação em que o inversor entra em funcionamento, sincronizando a sua operação com a rede eléctrica e estando configurado para gerar uma onda de corrente com 2A *rms*. Nesta imagem, o sinal representado pelo canal 1 é o sinal de tensão da rede e o do canal 2 é a corrente de que flui no ponto de interface entre o inversor e a rede.

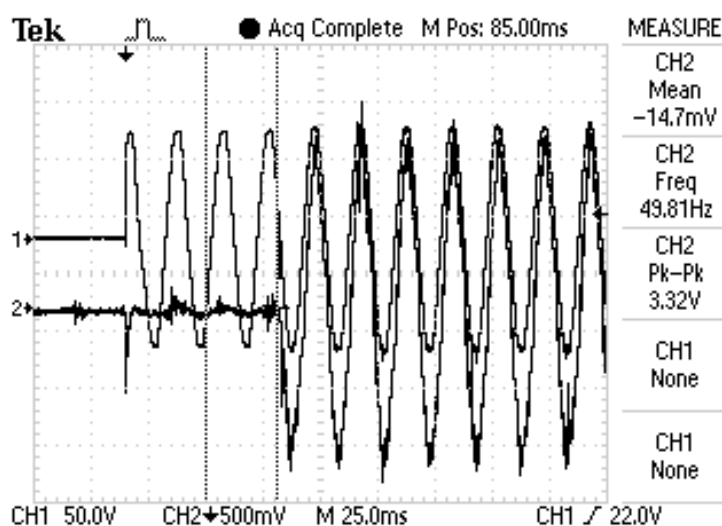


Figura 6.3: Variação do sinal de detecção de passagem por zero com o sinal de tensão da rede eléctrica

Como medida de salvaguarda do inversor contra situações transitórias no momento em que é conectado à rede, quando é detectada a existência de tensão nesta, o inversor aguarda sempre um número definido de períodos da onda de tensão antes de começar a injectar corrente. Nesta situação, o inversor foi configurado para iniciar o fornecimento de corrente após 4 períodos de 20ms, de modo a ser possível captar a operação deste mecanismo com o osciloscópio utilizado. Uma vez que o modelo *Tektronix TD1001B* possui um número reduzido de pontos de memória, o armazenamento das formas de onda da tensão e corrente durante um longo período de tempo não permite a ampliação do sinal nas zonas de maior interesse mantendo a qualidade do detalhe destes sinais, impossibilitado desta forma a análise que se pretende efectuar. Numa situação normal de funcionamento, o inversor deverá aguardar um tempo superior, para evitar que situações em que a rede apresenta grande instabilidade coloquem este em constante tentativa de sincronização com a rede.

O instante de entrada em funcionamento é apresentado com maior detalhe na figura 6.4, constatando-se a existência de uma perturbação temporária nas formas de onda de tensão e corrente que pode ser explicada pelo estado inicial de carga do condensador e das indutâncias do filtro LCL do inversor.

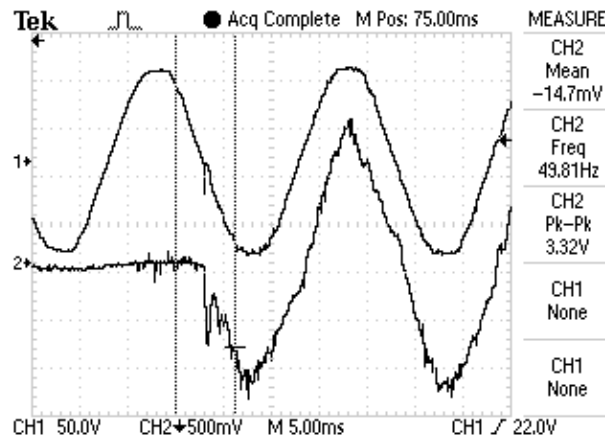


Figura 6.4: Variação do sinal de detecção de passagem por zero com o sinal de tensão da rede eléctrica

Enquanto a segunda ponte H do inversor não se encontra em comutação, os díodos de roda-livre dos *MOSFETs* constituem, efectivamente, uma ponte de rectificação de onda completa, cujo esquema se apresenta em 6.5, carregando o condensador do filtro LC à tensão de pico da rede eléctrica. No instante em que a ponte inicia o seu funcionamento, que coincide com o instante de tensão nula da rede, ocorre um pico de corrente ao nível do condensador, causando a ligeira deformação na forma de onda de corrente.

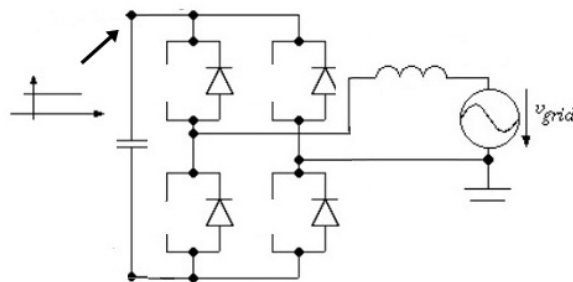


Figura 6.5: Circuito equivalente parcial do inversor com a segunda ponte H desligada

Não obstante, o mecanismo que controla a entrada na rede do inversor apresenta um comportamento estável, sem causar situações de grande esforço para os componentes do sistema, permitindo ao inversor iniciar o seu funcionamento.

6.2 Funcionamento no modo *Grid-Connected*

Com o inversor em pleno funcionamento síncrono, será agora analisada a sua performance no que toca à qualidade da sua forma de onda para diferentes potências entregues à rede, à distorção harmónica e também ao seu rendimento. Como já foi referido no início deste capítulo, as experiências realizadas foram limitadas a uma potência máxima de aproximadamente 500VA.

Na figura 6.6 são apresentadas as formas de onda de tensão e corrente, referenciadas por 1 e 2 respectivamente. Nesta situação, a corrente injectada na rede eléctrica segue uma onda de referência de 2A *rms*, sendo medida à saída do inversor uma corrente de aproximadamente 2.10A.

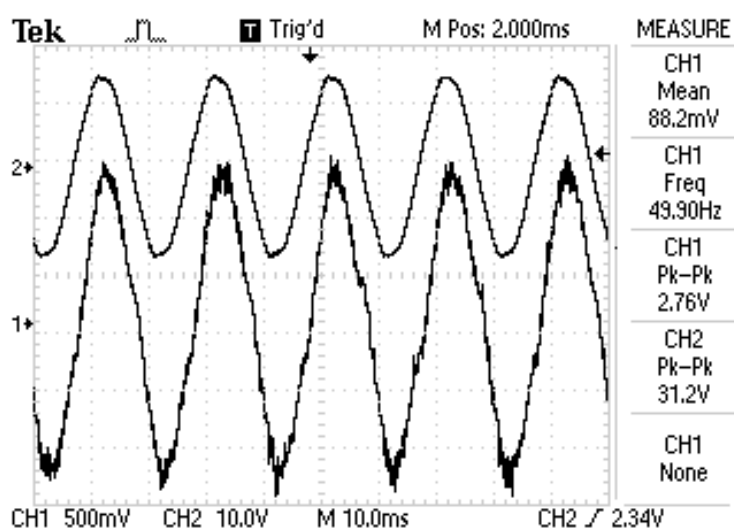


Figura 6.6: Onda de corrente injectada pelo inversor, para uma referência de 2A *rms*

Um dado de grande importância que condiciona a potência activa fornecida à rede é o factor de potência do sistema. Da figura 6.6 pode-se, à partida, afirmar que as duas formas de onda se apresentam em fase mas, de modo a quantificar este dado, observe-se com maior detalhe o desfasamento entre estas na figura 6.7.

Com recurso aos cursores da escala de tempo do osciloscópio mediu-se, em média, um desfasamento temporal de 1.1ms entre as duas formas de onda, o que corresponde a um factor de potência de 0.94. Este atraso de fase entre a corrente e a tensão deve-se em grande parte às componentes capacitivas e indutivas do filtro do inversor mas também ao próprio atraso da malha de controlo do sistema.

Outro factor fundamental na especificação dos dispositivos ligados à rede de distribuição é a distorção que a forma de onda de corrente apresenta. Na figuras 6.8 é apresentada a FFT do sinal de corrente observando-se que a componente mais significativa se encontra à frequência de 50Hz, seguindo-se as componentes à frequência do terceiro e quinto harmónicos.

Para efectuar os cálculos relativos à distorção harmónica do sinal de corrente, com base nos dados fornecidos pela figura 6.8, deve-se atender ao facto da escala de amplitude do oscilos-

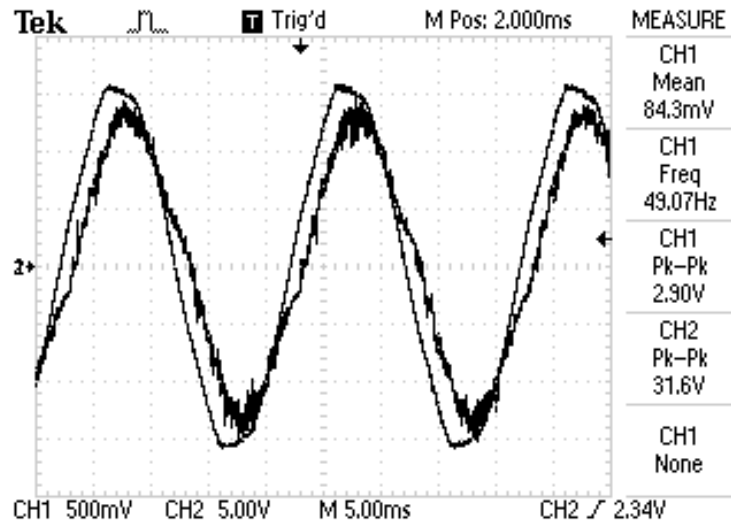


Figura 6.7: Desfasamento entre a onda de tensão e corrente

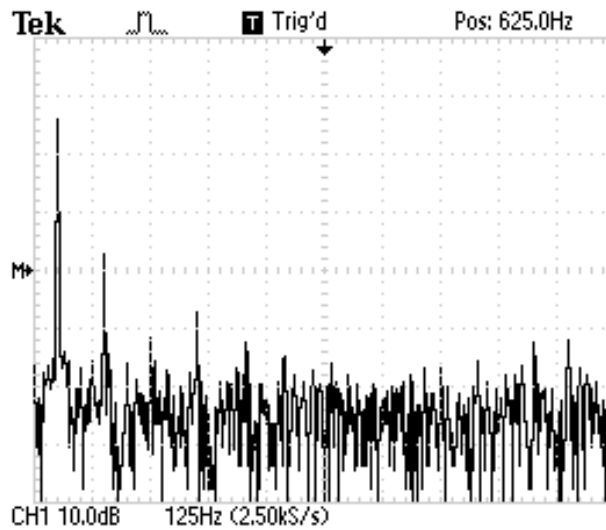


Figura 6.8: FFT da corrente injectada pelo inversor

cópio ser apresentada nas unidades *dbV*, pelo que é necessário converter os dados obtidos das componentes mais significativas da FFT para valores em tensão, resultando a tabela 6.1.

Com base nos dados obtidos, calculou-se então a distorção harmónica da corrente, obtendo-se o resultado da expressão 6.2.

$$THD_{\%} = \frac{V_3^2 + V_5^2 + V_7^2 + V_9^2 + V_{11}^2 + V_{13}^2 + V_{19}^2 + V_{23}^2}{V_1^2} \cdot 100 \quad (6.1)$$

$$THD_{\%} = 0.54\% \quad (6.2)$$

Ordem do harmónico	1	3	5	7	9	11	13	19	23
Amplitude (dbV)	26	2	-10	-6	-14	-16	-16	-14	-12
Amplitude (V)	19.95	1.26	0.31	0.5	0.20	0.16	0.16	0.20	0.25

Tabela 6.1: Tensões relativas às componentes espectrais dos harmónicos da corrente mais relevantes

Verifica-se que a distorção harmónica deste sinal é bastante inferior ao limite de 5%, apresentado na tabela 2.1 do capítulo 2, confirmando-se também na figura 6.9 que as componentes espectrais dos harmónicos de ordem par são fortemente atenuadas relativamente às de ordem impar.

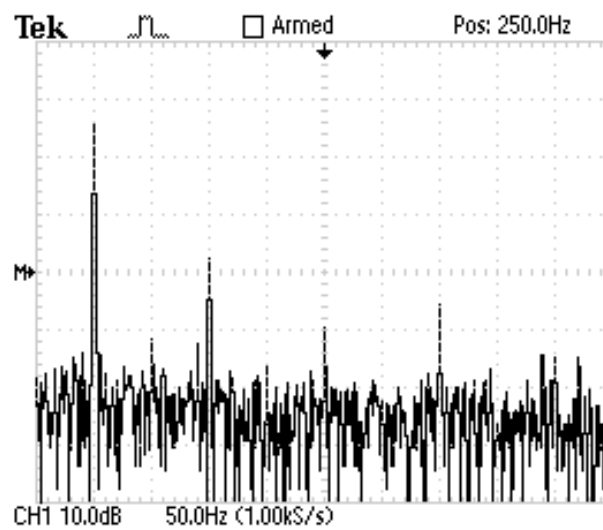


Figura 6.9: FFT da corrente injectada pelo inversor, com maior detalhe às baixas frequências

No que toca ao rendimento do inversor, foi analisado o comportamento deste para diferentes amplitudes da onda de referência (A_m), variando desta forma a corrente de saída do inversor e consequentemente a potência fornecida por este. Para cada uma das situações foram também efectuados os cálculos relativos à distorção harmónica e factor de potência, sendo o procedimento adoptado semelhante ao apresentado para a situação inicial desta secção. Na tabela 6.2 são apresentados todos os dados relevantes para esta análise.

Entrada					Saída		Factor Potência	THD %	Rendimento %
A_m	$I_{out\ esperado}$ A	I_{in} A	V_{in} V	P_{in} W	I_{out} A	P_{out} W			
0.3	0.6	5.645	31.20	176.12	0.65	149.5	0.81	1.34	68.7
0.4	0.8	7.376	30.94	228.21	0.86	197.70	0.84	0.69	72.7
0.5	1.0	8.312	31.22	259.50	1.03	238.89	0.84	0.57	77.3
0.6	1.2	10.114	30.12	304.63	1.17	270.19	0.89	0.49	78.9
0.7	1.4	12.031	29.80	358.52	1.44	332.80	0.91	0.46	84.4
0.8	1.6	13.412	29.21	391.41	1.51	349.27	0.93	0.48	83.0
0.9	1.8	15.923	28.60	454.74	1.75	401.99	0.94	0.49	83.0
1.0	2.0	19.860	26.70	530.26	2.10	484.37	0.94	0.54	85.8

Tabela 6.2: Comportamento para diferentes índices de modulação da onda de corrente de referência

Complementando os resultados tabelados, nas figuras 6.10, 6.11, 6.12 e 6.13 são apresentadas as formas de onda da corrente para os sinais com $A_m = 0.3, 0.7, 0.5$ e 0.9 , respectivamente.

No que toca à forma de onda de corrente, os resultados apresentados são bastante bons na medida em que revelam que o algoritmo de controlo está efectivamente a controlar a amplitude desta de acordo com a onda de referência utilizada, numa vasta gama de condições de operação. Observa-se no entanto que, para uma onda com amplitude $A_m = 0.3$, existe uma redução da qualidade da forma de onda da corrente de saída do inversor. Este facto deve-se, fundamentalmente, ao aumento da significância dos erros numéricos envolvidos nos cálculos do *duty-cycle* do sinal de controlo da primeira ponte H do inversor. Devido à elevada frequência deste sinal, o período de contagem do *timer* que está na base do módulo PWM utilizado é muito reduzido, não permitindo tirar partido da resolução proporcionada por uma variável de 32bit no controlo de pequenas variações do *duty-cycle*. Neste sistema, não existe forma de ultrapassar este problema pois o *core* do microprocessador já se encontra a operar à sua frequência máxima e a frequência do sinal PWM não pode ser reduzida devido às especificações de operação do transformador de isolamento. Como consequência, para valores de *duty-cycle* baixos, nas imediações das passagens por zero, verifica-se que a falta de resolução nas variações impostas a este sinal resultam numa maior deformação da forma de onda da corrente, como é apresentado na figura 6.10.

Um comportamento também verificado é o aumento do desfasamento entre a tensão e a corrente quando se reduz a magnitude da corrente injectada na rede. Para avaliar este problema, relacionou-se o sinal de controlo com a onda de tensão, que constitui o elemento de sincronismo do controlador, e também com a onda de corrente injectada na rede pelo inversor. Para observar o sinal de controlo, que efectua o controlo da ponte H responsável pela modulação da tensão DC da fonte primária, foi aplicado um filtro passa-baixo, composto por uma resistência e um condensador, com uma frequência de corte de 1.5kHz, de modo a não causar um atraso de fase à frequência de 100Hz significativo. Desta forma, como o sinal PWM de alta frequência foi modulado por arcadas positivas de sinusóide, obtém-se à saída do filtro uma sinusóide de 50Hz rectificada positivamente.

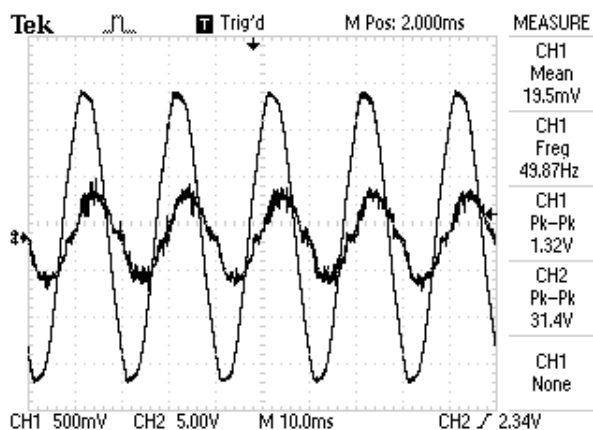


Figura 6.10: Inversor a operar com uma onda de referência de 0.6A *rms*

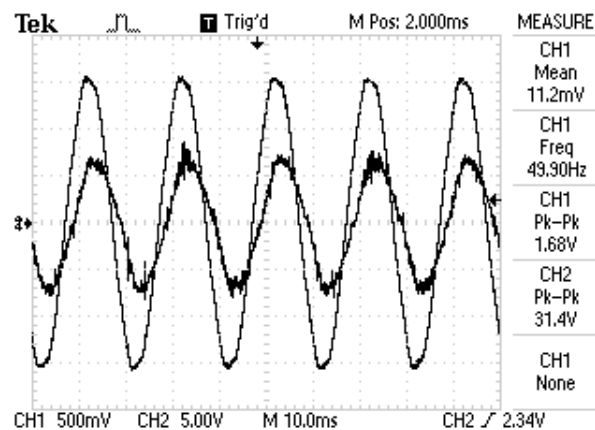


Figura 6.12: Inversor a operar com uma onda de referência de 1.0A *rms*

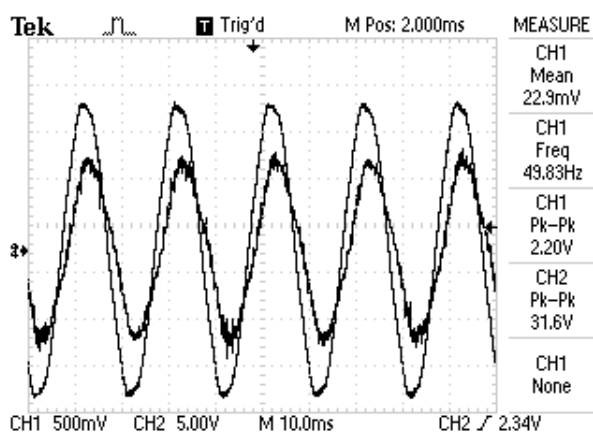


Figura 6.11: Inversor a operar com uma onda de referência de 1.4A *rms*

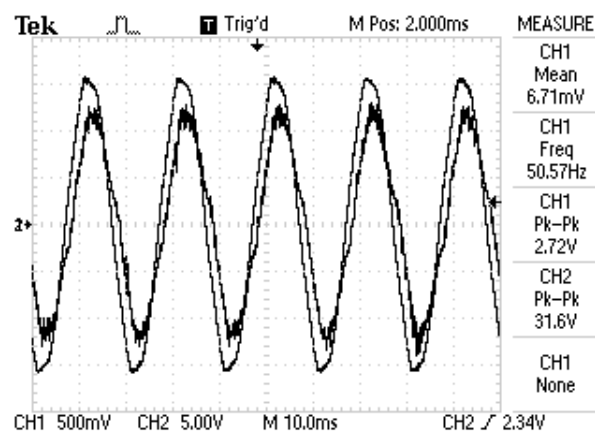


Figura 6.13: Inversor a operar com uma onda de referência de 1.8A *rms*

Nas figuras 6.14, 6.15, 6.16 e 6.17 são apresentados comparativamente o sinal de controle com tensão da rede ou a corrente de saída do inversor, em duas situações de operação com potências injectadas na rede distintas.

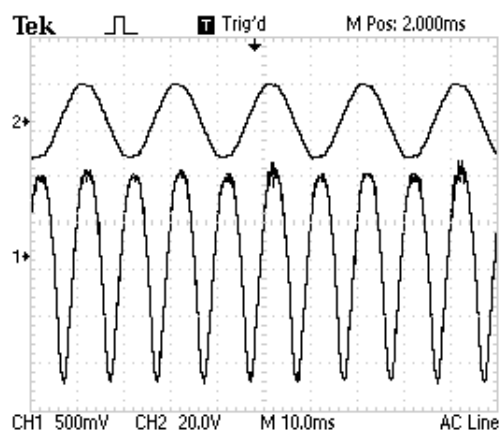


Figura 6.14: Relação entre a onda de tensão da rede (2) e a variação do *duty-cycle* do sinal de controle da ponte H (1), com onda referência de corrente de 1.8A

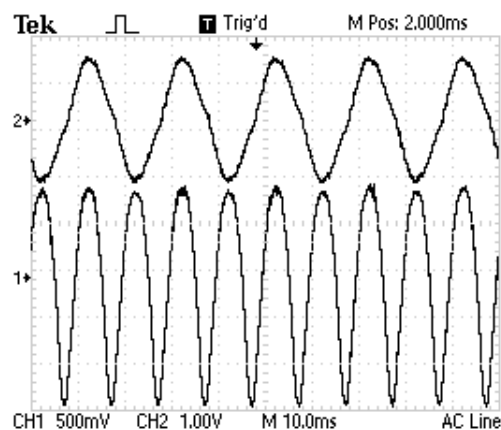


Figura 6.16: Relação entre a corrente injectada na rede (2) e a variação do *duty-cycle* do sinal de controle da ponte H (1), com onda referência de corrente de 1.8A

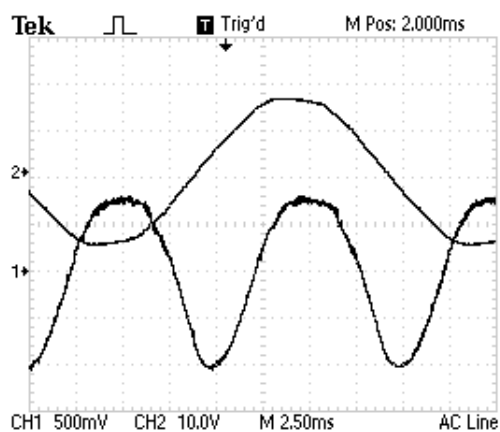


Figura 6.15: Relação entre a onda de tensão da rede (2) e a variação do *duty-cycle* do sinal de controle da ponte H (1), com onda referência de corrente de 0.6A

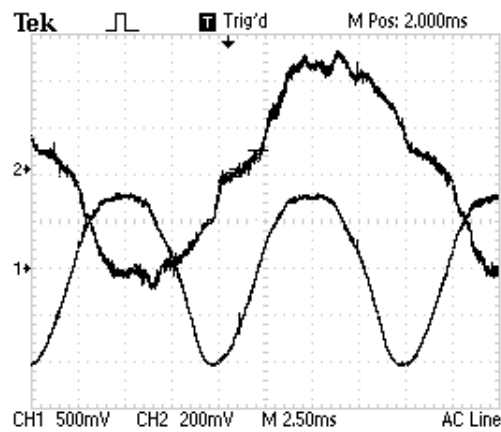


Figura 6.17: Relação entre a corrente injectada na rede (2) e a variação do *duty-cycle* do sinal de controle da ponte H (1), com onda referência de corrente de 0.6A

Nas figuras 6.14 e 6.16, que apresentam o comportamento do sistema quando se está a introduzir na rede $1.8A_{rms}$, verifica-se que o atraso entre sinal de controlo e a tensão da rede é muito reduzido, podendo-se afirmar o mesmo na comparação com a onda de corrente. Este facto é evidenciado pelo factor de potência, 0.94, apresentado na tabela 6.2 previamente.

No entanto, para o caso em que se está a colocar apenas $0.6A_{rms}$ na rede, para além de uma maior deformação para os valores mais baixos do sinal de controlo pelas razões relativas à reduzida resolução do controlador do sinal PWM, verifica-se um maior atraso entre a onda de corrente e o sinal de controlo, bem como uma relação não linear entre a variação do *duty-cycle* do sinal de controlo e a corrente de saída do inversor. Este comportamento não linear do sistema, aparentemente, encontra-se relacionado com a magnitude da corrente injectada na rede e a variação que esta causa no valor da indutância das bobinas utilizadas no filtro. Segundo [31] o comportamento não linear de uma indutância deve-se a duas causas: à sua saturação, devido a correntes elevadas, e uma leve não linearidade devido às baixas correntes, relacionada com a operação da bobina na primeira porção da sua curva de magnetização. Nestas condições, como há variação dos parâmetros do filtro LCL, não há garantias que o atraso de fase deste para a frequência de 50Hz seja exactamente o mesmo, independentemente da corrente de saída do inversor.

Conclui-se então que a operação deste inversor com um factor de potência aproximadamente unitário e baixa distorção harmónica é possível, estando no entanto bastante condicionada pela corrente de saída do sistema. Uma vez que o hardware deste sistema foi especificado para operar numa gama de potência superior, com os resultados obtidos nesta implementação escalada, é espectável que o comportamento do sistema melhore significativamente quando correntes de maior magnitude estiverem envolvidas. Não obstante, neste teste efectuado, para correntes de saída superiores a $1.2A_{rms}$, o sistema apresenta resultados bastante satisfatórios.

No que respeita ao rendimento, deve-se levar em consideração que as PCB foram projectadas para que a primeira ponte H fosse constituída por dois *MOSFETs* de baixo R_{DS} em paralelo, por cada circuito de comutação. As medições foram efectuadas num protótipo com apenas um *MOSFET* por comutador, que se encontra ligado a um conector e não directamente soldado, e utilizando componentes de custo mais reduzido e valores de resistência de condução ligeiramente superiores aos *MOSFETs* escolhidos para implementação da versão final desta ponte. Esta situação deve-se ao facto de se terem danificado muitos *MOSFETs* neste período de desenvolvimento. Com os conectores, a sua substituição era facilitada e, havendo apenas um componente por comutador, reduziu-se os custos que tais situações causavam. Usando os *MOSFETs* especificados para a versão final, soldados dois a dois, a resistência da ponte baixará significativamente e o rendimento do inversor aumentará em conformidade.

6.3 Detecção de situação de *Islanding*

A detecção de situações de *islanding* é uma medida preventiva de grande importância para a operação do inversor conectado a uma rede de distribuição. De modo a comprovar o sistema implementado neste inversor, baseado nos princípios expostos nos capítulos 2 e 5, após uns momentos em funcionamento a quebra da rede eléctrica foi simulada, desligando a secção da rede, à qual a saída do inversor está ligada. Verificou-se, conforme esperado, que este cessa a sua operação imediatamente, sendo esta situação apresentada na figura 6.18.

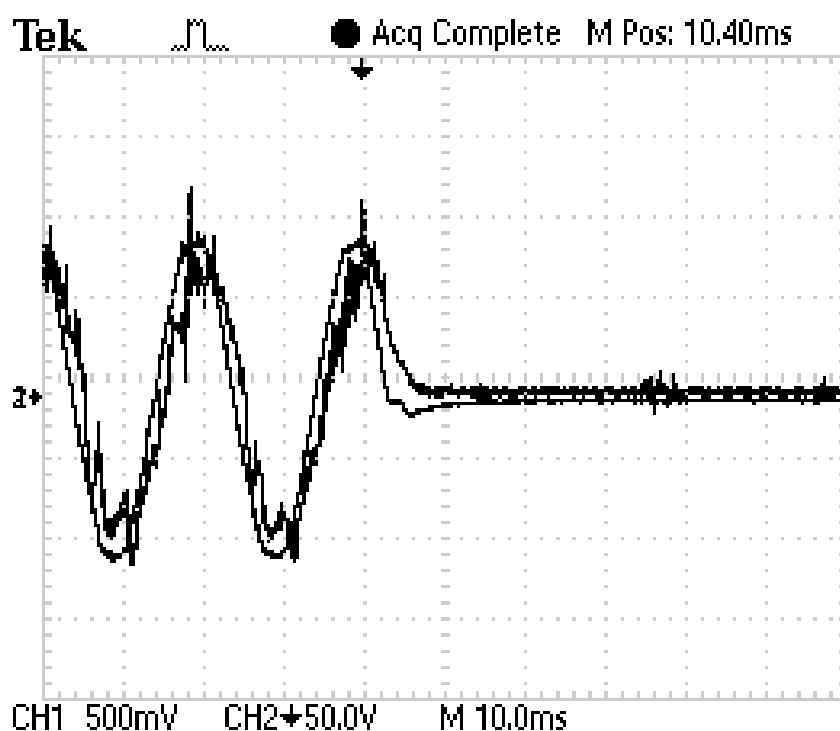


Figura 6.18: Comportamento do inversor numa situação de *islanding*, por desconecção física

Nesta figura, observa-se na última arcada um aumento do desfasamento entre as ondas de corrente e tensão devido à falha de rede aproximadamente no pico desta arcada. Consequentemente, este desvio é suficientemente elevado para o mecanismo *anti-islanding* disparar e o inversor parar imediatamente.

6.4 Resultados da simulação em *Simulink*

Serão agora apresentados os resultados relativos à simulação do comportamento do inversor em *Simulink*. À semelhança do controlador implementado no sistema físico, foi utilizado um ritmo de controlo de 10kHz e um algoritmo PID incremental.

Os valores dos componentes do filtro equivalente do inversor também foram os mesmos da implementação física, sendo $L_i = 330\mu H$, $L_g = 47\mu H$ e $C = 3\mu F$ e $R_d = 3.3\Omega$. No entanto, o valor estimado das resistências de perdas utilizadas no modelo, a existência de comportamento não linear das indutâncias bem como o pressuposto da rede como uma fonte de tensão com uma impedância puramente resistiva levam a que a simulação deste sistema com os mesmos parâmetros do controlador PID utilizado no sistema físico não resultasse num comportamento idêntico ao observado nos resultados das secções anteriores. Não obstante, os parâmetros do controlador PID foram ajustados de modo a comprovar a operacionalidade deste modelo simplificado. Os resultados obtidos nesta secção não serão, portanto, directamente equiparados aos obtidos na implementação física do inversor.

Nas figuras 6.21 e 6.22 encontra-se apresentado o comportamento do sistema quando se pretende injectar na rede eléctrica uma corrente de 10A *rms*.

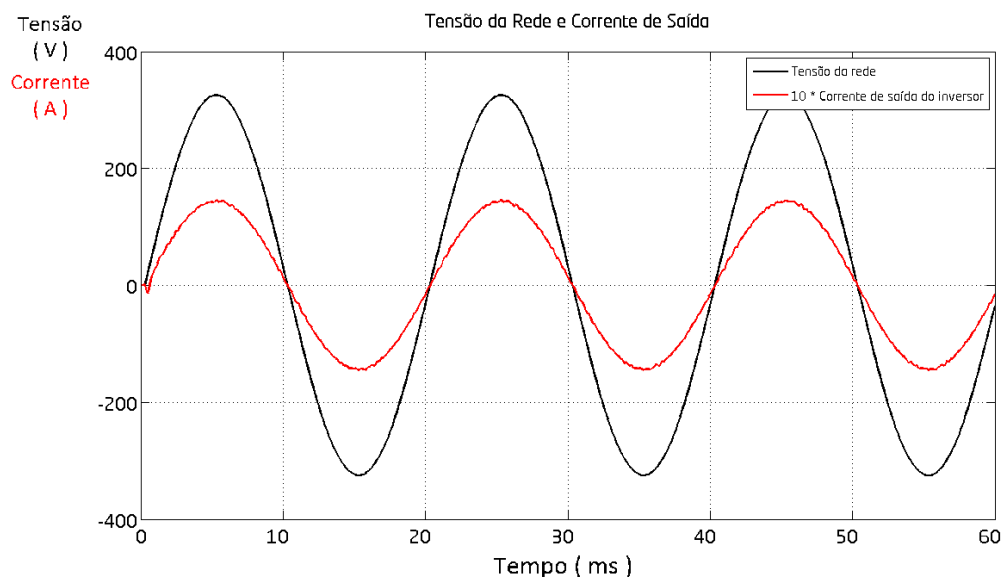


Figura 6.19: Tensão da rede e corrente de saída do inversor, fornecendo 10A na rede

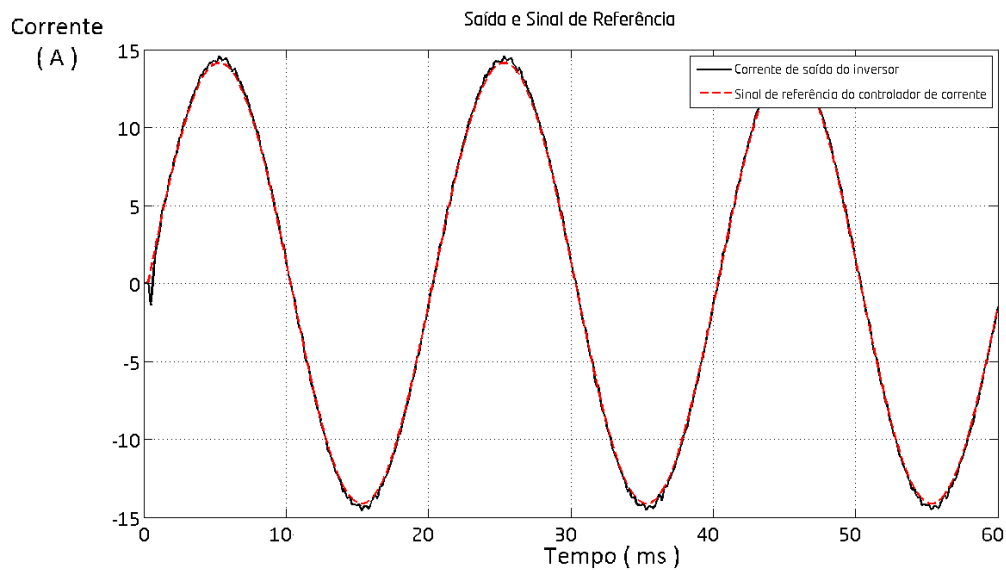


Figura 6.20: Corrente de saída do inversor e referência do controlador, fornecendo 10A na rede

Nestas condições de operação o funcionamento do inversor é bastante bom, apresentando um comportamento ideal, não existindo desfasamento entre a tensão e corrente, a corrente apresenta uma forma de onda perfeitamente sinusoidal e o valor de pico da corrente é devidamente controlado.

Utilizando agora uma onda sinusoidal de referência para o inversor fornecer correntes mais baixas, nomeadamente 1A e 2A, verificou-se que a onda de corrente se mantém em fase com a tensão da rede, aumentando no entanto o *ripple* da corrente com a diminuição do valor da corrente. Esta situação deve-se ao facto do dimensionamento do filtro LCL ter sido otimizado para uma corrente de saída de 10A.

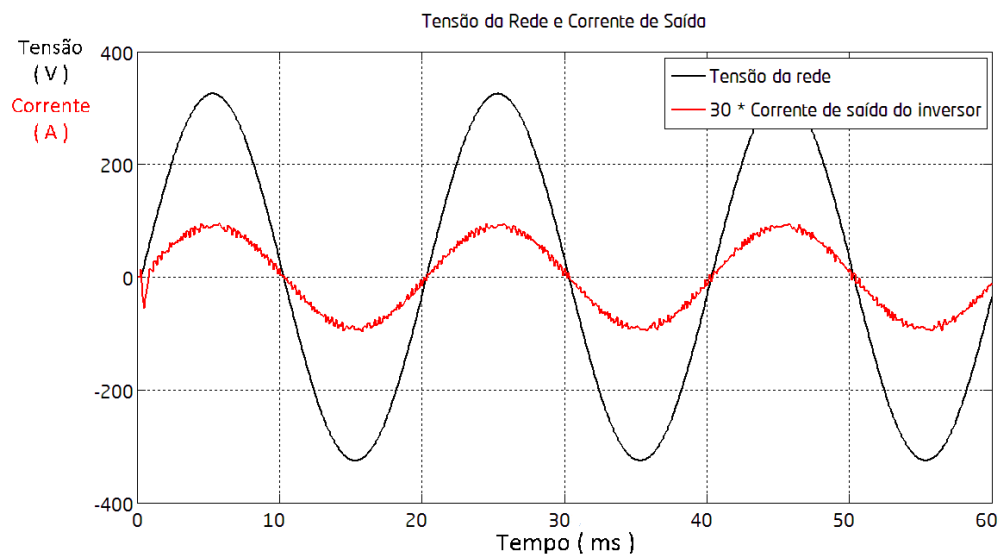


Figura 6.21: Tensão da rede e corrente de saída do inversor, fornecendo 2A na rede

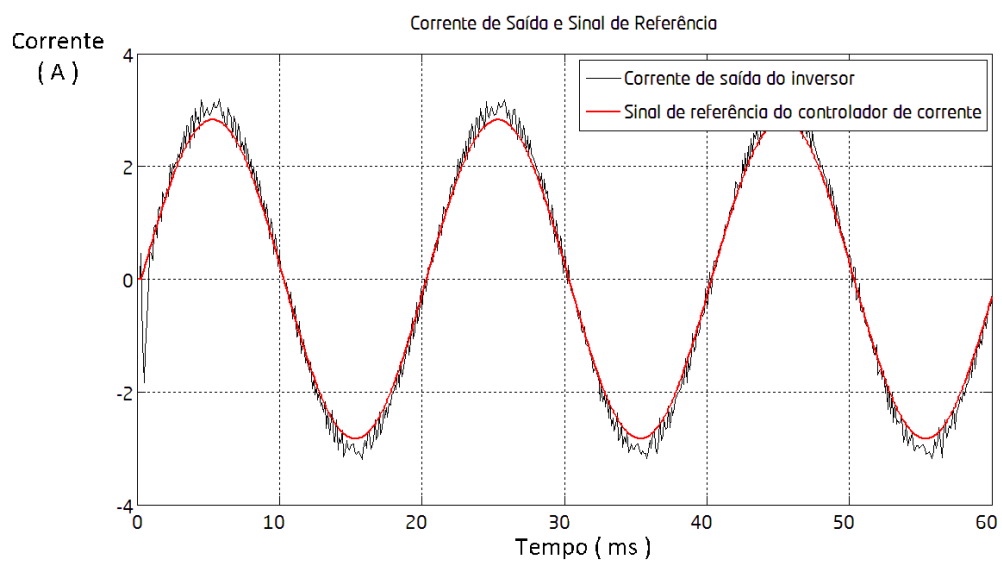


Figura 6.22: Corrente de saída do inversor e referência do controlador, fornecendo 2A na rede

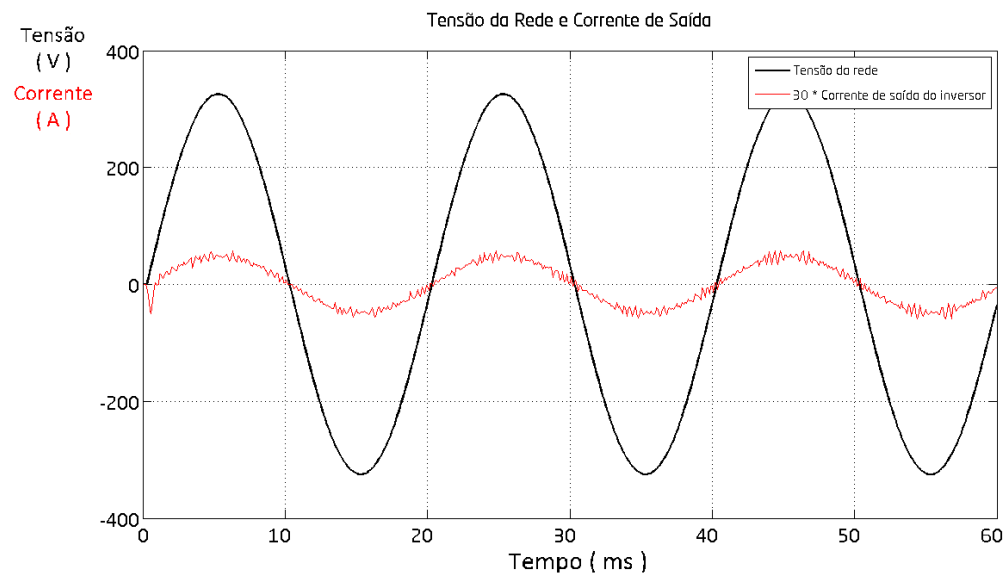


Figura 6.23: Tensão da rede e corrente de saída do inversor, fornecendo 1A na rede

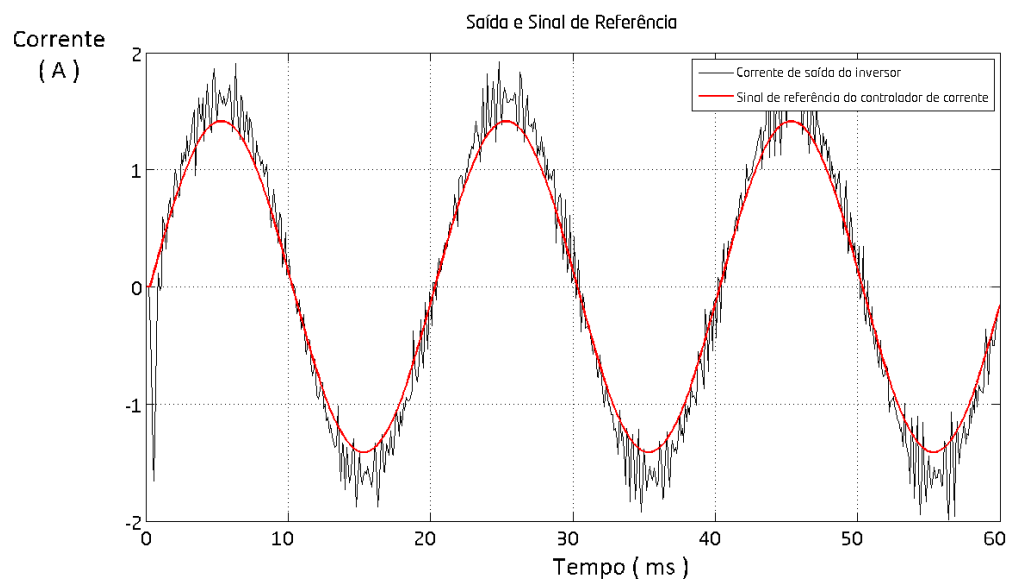


Figura 6.24: Corrente de saída do inversor e referência do controlador, fornecendo 1A na rede

Verifica-se que o comportamento do *ripple* da onda de corrente no simulador se assemelha ao verificado no sistema real, quando se varia o valor nominal da corrente. Relativamente ao comportamento não linear observado no sistema físico, em que o desfasamento entre a tensão e a corrente aumenta com a diminuição da amplitude da última, este não se verificou na simulação. Aumentando a complexidade do modelo implementado em *Simulink*, os resultados da simulação poderão aproximar-se ao comportamento real evidenciado pelo inversor. No entanto, este melhoramento vem acrescentar um maior número de variáveis ao sistema e, consequentemente, um maior número de cálculos a cada passo da simulação têm de ser efectuados pelo *solver* utilizado no *Simulink*. Eventualmente, a simulação pode tornar-se penosamente demorada.

Capítulo 7

Conclusões

Na fase final desta dissertação, é com segurança que se pode afirmar que um grande passo foi dado no desenvolvimento do inversor, tendo-se implementado com sucesso o modo *grid-connected*.

A topologia adoptada, que se destaca pelo facto de utilizar um transformador a operar a elevada frequência, implementando o isolamento galvânico, a elevação e a modulação do sinal DC numa única etapa, revelou-se funcional, possibilitando a redução do número de elementos de comutação a elevada frequência que operam segundo o conceito de *hard-switching*. Este facto permitiu simplificar controlo do inversor bem como reduzir o potencial de perdas do sistema e a *EMI* gerada.

O estudo do comportamento do filtro LCL equivalente do sistema é também um ponto de grande relevância, pois dele depende a adequada atenuação das componentes de alta frequência resultantes do funcionamento dos circuitos de comutação, inerentes a este tipo de dispositivos de conversão de energia, e o consequente *ripple* da corrente fornecida à rede. Obtiveram-se resultados bastante promissores quando o inversor fornece correntes mais elevadas à rede de distribuição, apresentando um menor desfasamento relativamente à onda de tensão, baixa distorção harmónica e um rendimento final bastante bom. É de esperar que, pela tendência comportamental evidenciada nos testes realizados nesta dissertação, dispondo de uma fonte primária de maior potência, o inversor ainda apresente um comportamento melhor quando se encontrar a fornecer correntes mais elevadas à rede eléctrica.

Relativamente ao microcontrolador utilizado, a arquitectura *PIC32MX* demonstrou ser uma boa aposta, devido ao suporte das ferramentas de software de desenvolvimento, mas também ao nível dos exemplos e informação disponível relativamente ao seu modelo de programação. O suporte *out of the box* do kernel *FreeRTOS* constituiu também uma mais valia, por estabelecer uma camada de abstracção entre o programador e alguns dos aspectos do microcontrolador relativos à temporização de eventos, e apresentar mecanismos de controlo de acesso a estruturas partilhadas, de modo a salvaguardar a consistência dos dados e resolver problemas do tipo "produtor-consumidor", comuns em modelos de programação concorrente. Apenas é possível suportar toda esta estrutura de software devido à avançada arquitectura do microcontrolador utilizado, da qual se destacam o seu *core*, que opera a elevada frequência, um barramento de instruções com um *pipeline* de cinco níveis e uma grande capacidade de memória *SRAM* e *FLASH*, que possibilitam

a execução de um código complexo, com grande necessidade de recursos de sistema, como é o caso do *kernel FreeRTOS*.

Relativamente à simulação do comportamento do inversor no ambiente *Simulink*, embora o modelo apresentado represente conceptualmente o funcionamento do sistema, o facto do algoritmo de controlo na simulação e na implementação física ter parâmetros diferentes evidencia a existência de parâmetros não considerados na simulação do inversor, para além de comportamentos não lineares dos componentes.

Em conclusão, o trabalho de investigação realizado de modo a tornar esta plataforma operacional no modo *grid-connected* constituiu um grande desafio ao nível da compreensão de alguns dos conceitos subjacentes à vasta área das fontes de alimentação comutadas, aliados ao desenvolvimento de sistemas embutidos utilizando arquitecturas bastante recentes como são os microcontroladores de 32-bit.

7.1 Trabalho Futuro

Para um trabalho futuro mais estável, é recomendável utilizar a nova versão do inversor, com circuitos impressos redesenhados, que se encontra parcialmente assembled. A nova versão apresenta *PCB* com alguns melhoramentos, nomeadamente zonas de potência e de lógica de controlo totalmente isoladas, um *routing* das pistas mais bem planeado, um suporte para dissipadores de maior dimensão, utilização de componentes *through-hole* para uma fácil identificação e substituição de componentes danificados e, finalmente, uma garantia de maior fiabilidade de todas as ligações de potência e de lógica de controlo entre as placas, factor responsável por algumas das situações de instabilidade e falha do sistema durante o período de desenvolvimento.

No inversor implementado, a última ponte H, responsável pela inversão das arcadas da corrente de modo a injectar uma onda sinusoidal na rede, é implementada recorrendo a componentes de comutação forçada, *IGBT* neste caso. Uma alteração possível à topologia do sistema, que reduz os seus custos de implementação, será a utilização de elementos comutados pela rede, mais precisamente tiristores, facilitando desta forma o mecanismo de sincronização da ponte H, que passará a desactivar-se automaticamente com as passagens por zero, sendo o microcontrolador apenas responsável pela activação do par correcto a cada 10ms.

Com esta topologia é possível injectar corrente DC na rede eléctrica. Será, portanto, importante implementar um algoritmo que monitorize esta possibilidade, calculando o valor médio da onda de corrente ao longo do tempo, e realize o ajuste do controlador do sistema de modo a corrigir este problema.

Ao nível da entrada do inversor, uma vez que o desenvolvimento deste dispositivo foi direccionado para ligação a torres eólicas, a potência disponível à entrada do sistema varia bastante dependendo das condições do vento. Desta forma, de modo a maximizar o rendimento do inversor, deverá ser implementado um algoritmo *Maximum Power Point Tracking* (MPPT) que faça a monitorização da curva de potência na entrada do inversor e, com base nessa informação, condicionar o ponto de funcionamento do inversor, limitando a amplitude da corrente injectada na rede eléctrica.

No que toca ao controlador PID do inversor, verificou-se a existência de uma variação no comportamento do *ripple* da corrente e do atraso desta relativamente à tensão, dependendo da magnitude da corrente de saída. De modo a investigar uma resolução para este comportamento não linear do sistema, será interessante efectuar uma alteração dinâmica dos parâmetros do controlador em função do ponto de funcionamento do inversor e as condições do sistema. Para tal, a utilização de um algoritmo de controlo do tipo *fuzzy* permitirá implementar um comportamento não-linear e adaptativo do controlador, conferindo uma maior robustez ao sistema em condições de perturbações da rede e variação de parâmetros do elemento de filtragem do inversor. Um controlador *fuzzy* baseia o seu funcionamento na lógica *fuzzy*, podendo ser simplesmente descrito como um método de implementar controladores baseados em palavras em vez de equações. Definindo estados para as variáveis a controlar numa linguagem natural e um conjunto de regras, baseadas em relações do tipo *if-then*, é possível estabelecer comportamentos em resposta a diversas situações do sistema. Um controlador implementado de forma cooperativa, com uma acção linear realizada pelo controlador PID e outra não-linear, realizada pelo controlador *fuzzy*, que ajuste o controlo do sistema em função das perturbações a que o sistema se encontra sujeito, é um modelo que trará um melhoramento da operação deste inversor. Em [38], [34] e [25] são apresentados os métodos base deste tipo de controlo.

Relativamente à simulação, de modo a tornar esta mais fidedigna, poder-se-á implementar todo o modelo do inversor em *Simulink*, utilizando a *toolbox PLECS* [16]. Esta ferramenta possibilita a modelação e simulação de circuitos eléctricos complexos juntamente com o seu software de controlo, por interligação com outras *toolboxes* como o *Real-Time Workshop*, que permite gerar código C partir de modelos *Simulink*. A *toolbox PLECS* permite efectuar uma aproximação *top-down*, iniciando-se o desenvolvimento do sistema com modelos ideais de modo a focar o utilizador apenas no comportamento conceptual do sistema. Os detalhes de baixo-nível poderão ser adicionados posteriormente, para ter em conta os elementos parasitas. Mecanismos de perdas relacionados com efeitos da temperatura associados aos dispositivos em estados de comutação ou condução contínua também podem ser tidos em consideração. Esta ferramenta está também disponível numa versão *standalone*, com um motor de resolução dos sistemas de equações dedicado e, portanto, optimizado, tornando bastante mais rápidas as simulações relativamente à versão que funciona com base no *Simulink*. Embora esta ferramenta seja bastante completa e permita representar com maior realismo o inversor, é um produto pago, apresentando uma versão de demonstração totalmente funcional pelo período de 30 dias apenas.

Anexo A

Conceitos e Deduções Matemáticas

A.1 Função de Transferência do Filtro LCL

De modo a obter a função de transferência do filtro LCL apresentado na figura A.1, aplicar-se-ão as leis de Kirchhoff e o modelo do filtro em impedâncias, como apresentado na figura A.2

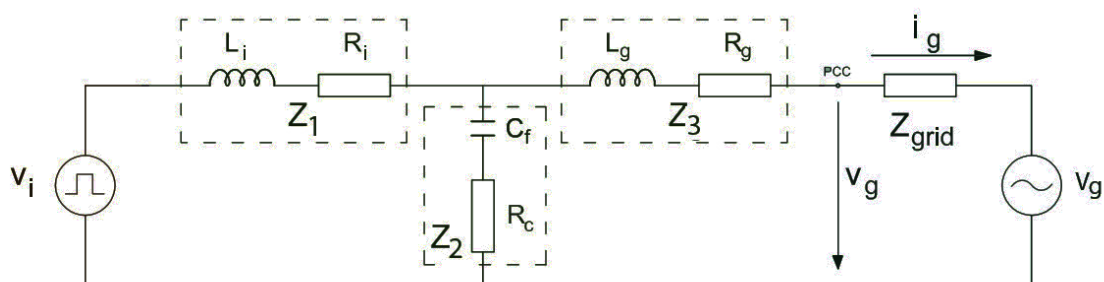


Figura A.1: Circuito equivalente do filtro LCL

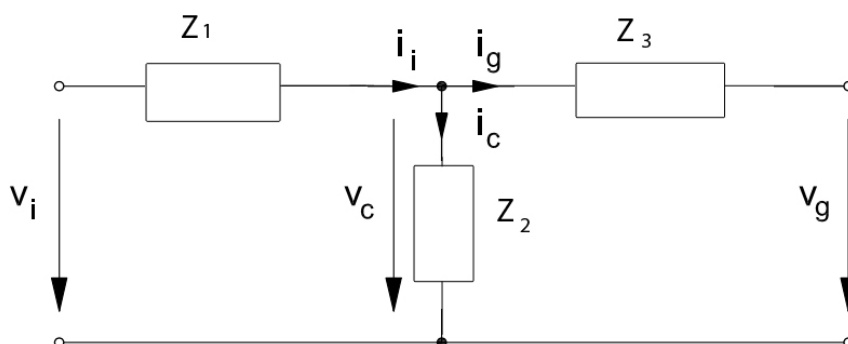


Figura A.2: Circuito equivalente do filtro LCL

$$\frac{v_i - v_c}{Z_1} - \frac{v_x}{Z_2} + \frac{v_g - v_x}{Z_3} = 0 \quad (\text{A.1})$$

$$I_g = \frac{v_x - v_g}{Z_3} \quad (\text{A.2})$$

De A.1 e A.2, após alguma manipulação matemática resulta A.3

$$i_g = \frac{Z_2 \cdot v_i - v_g \cdot (Z_1 + Z_2)}{Z_3 \cdot Z_2 + Z_3 \cdot Z_1 + Z_1 \cdot Z_2} \quad (\text{A.3})$$

Definindo Z_1 , Z_2 e Z_3 no domínio de Laplace vem que,

$$Z_1 = s \cdot L_i + R_i \quad Z_2 = \frac{1}{s \cdot C} + R_c \quad Z_3 = s \cdot L_g + R_g \quad (\text{A.4})$$

Substituindo A.4 em A.3 e simplificando o sistema resulta A.5

$$\frac{i_g}{v_i} = \frac{sR_cC_f + 1}{s^3L_gL_iC_f + s^2C_f(L_g(R_c + R_i) + L_i(R_c + R_g)) + s(L_g + L_i + C_f(R_cR_g + R_c + R_i + R_gR_i)) + R_g + R_i} \quad (\text{A.5})$$

A.2 Dimensionamento do Filtro LCL

A escolha dos componentes a utilizar na implementação de um filtro LCL é um processo que não deve ser descurado, sob consequência de se obterem maus resultados no que toca a atenuação e estabilidade do sistema devido à localização da frequência de corte do filtro. De acordo com [30] o procedimento de dimensionamento tem de ter em conta a potência nominal do conversor, a frequência da rede eléctrica e a frequência de modulação utilizada. Além disso, os valores dos componentes apresentam alguns limites, seguidamente enumerados e referidos ao longo desta secção:

- O valor da capacidade encontra-se limitado pela redução do factor de potência admissível à potência especificada, sendo que a potência reactiva fornecida pelo inversor não deverá ser inferior a 5%.
- O valor total da indutância deverá ser inferior a 10% relativamente ao valor base calculado em A.7.
- A frequência de ressonância do filtro deverá estar incluída num intervalo compreendido entre 10 vezes a frequência da rede e metade da frequência de comutação utilizada no sistema.

Pretende-se especificar este filtro para um sistema com uma potência máxima de 2300kW pelo que, na tabela A.1 encontram-se apresentados os parâmetros necessários para este procedimento. Nesta situação de operação, admitiu-se que a fonte primária do sistema deverá fornecer à entrada do inversor uma tensão de 45V e, prevendo um rendimento de 90%, a corrente de entrada será aproximadamente 54A. O transformador apresenta uma relação de espiras de 1:10 sensivelmente.

Tensão da rede	$V_G = 230V$
Potência do Inversor	$P = 2.3kW$
Tensão Bus DC	$V_{DC} = 450V$
Frequência da rede	$f = 50Hz$
Frequência de comutação	$f_{sw} = 133kHz$

Tabela A.1: Parâmetros do sistema considerados

De seguida apresentam-se os parâmetros que servem de base ao cálculo dos componentes do sistema.

$$Z_b = \frac{(V_G)^2}{P} = 23[\Omega] \quad (A.6)$$

$$L_b = \frac{Z_b}{\omega_n} = 73.211[mH] \quad (A.7)$$

$$C_b = \frac{1}{\omega_n \cdot Z_b} = 138.4[\mu F] \quad (A.8)$$

O modelo deste filtro encontra-se apresentado em A.3, e a ele se referem todas as variáveis apresentadas nesta análise.

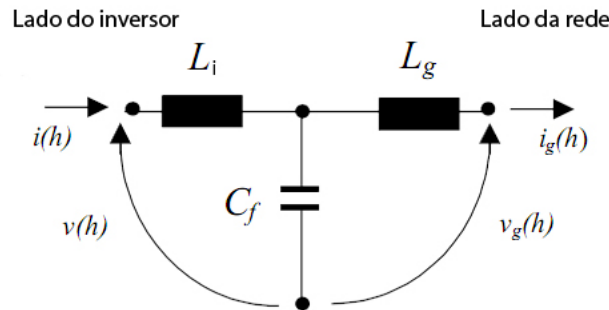


Figura A.3: Filtro LCL equivalente à frequência do harmónico de ordem h

O primeiro passo será dimensionar a indutância do lado do inversor. Este componente é crítico no custo final do filtro uma vez que nesta primeira etapa de filtragem existem harmónicos de corrente a elevadas frequências gerados pelo circuito de comutação. Para evitar a saturação do núcleo deste indutor é necessário utilizar um núcleo de grande dimensão, tipicamente especificado para transformadores de elevada frequência, e para não haver elevadas perdas ao nível dos condutores recomenda-se a utilização de fio de Litz, especificações que aumentam o preço do componente. Uma vez que esta bobine já se encontrava implementada, no hardware do inversor anteriormente implementado, e o seu valor é compatível com a especificação deste filtro, manteve-se a sua utilização. Assim, relativamente a este componente, efectua-se uma análise de modo a conhecer o *ripple* de corrente por si causado, em vez de dimensionar o valor da indutância em função do *ripple* de corrente pretendido.

Partindo da situação em que se utilizaria unicamente um filtro L para efectuar a filtragem dos harmónicos da corrente de alta frequência, na pior das hipóteses, quando o *duty-cycle* de controlo do fluxo de energia pela bobine é 50% o *ripple* é máximo.

$$V_{DC} - V_g = L_g \frac{\Delta I_L}{Duty * \frac{1}{f_{sw}}} \quad (A.9)$$

Finalmente obtém-se o valor da corrente de *ripple* nestas condições, apresentado em A.10

$$\Delta I_L = \frac{(450 - 230\sqrt{2}) \cdot 0.5}{330 \cdot 10^{-6} \cdot 133000} = 1.42A \quad (A.10)$$

O valor apresentado em A.10 é já bastante reduzido, cerca de 2.5% do valor da corrente máxima, o que dá uma boa margem para que, numa re-implementação futura deste componente, seja reduzido o valor da sua indutância.

Considerando χ como a percentagem máxima de potência reactiva absorvida pelo condensador utilizado, pela condição b temos A.12

$$C_f = \chi \cdot C_b \quad (A.11)$$

$$C_f = 0.05 \cdot 138.4 = 6.9\mu F \quad (A.12)$$

O valor máximo para o condensador utilizado é então $6.9\mu F$. Partindo deste valor, utilizar-se-á um condensador com sensivelmente metade da capacidade, $3\mu F$. Caso se escolha um valor muito baixo, o valor da indutância L_g tenderá a ser maior, o que se pretende evitar para reduzir os custos do filtro. Tendo já dimensionado o valor de L_i e de C_f , L_g obtém-se pela expressão A.13, em que r é o índice de relação entre as duas indutâncias.

$$L_g = r \cdot L_i \quad (A.13)$$

O parâmetro r apresentado anteriormente, condiciona directamente a redução do *ripple* da corrente à saída do inversor. Esta relação é apresentada em A.14.

$$\frac{i_g(h_{sw})}{i(h_{sw})} = \frac{1}{|1 + r(1 - L_i \cdot C_b \chi \cdot \omega_{sw}^2)|} \quad (\text{A.14})$$

Na figura A.4 é apresentada a relação da expressão A.14 com a variação do parâmetro r . Verifica-se que, quanto maior for o valor de r , maior será a atenuação e consequentemente menor *ripple* de corrente existirá à saída do sistema. No entanto, há que ter em consideração que grandes valores de r resultam numa maior indutância L_g . Consequentemente, maior será o custo da bobine devido à necessidade de utilizar uma bobine de elevada indutância e que suporte elevadas correntes.

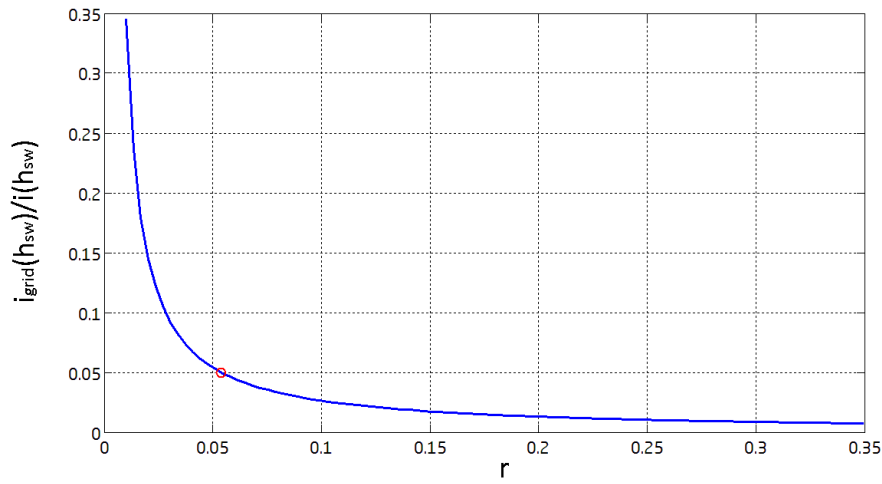


Figura A.4: Relação entre a atenuação do ripple da corrente de saída e o índice r

Pretendendo reduzir o *ripple* à saída para 5% do valor relativo à situação calculada em A.10, o valor de r deverá ser 0.0539, o que resulta numa indutância $L_g = 18\mu H$. Como $L_i + L_g$ é bastante inferior ao valor de L_b , o dimensionamento dos componentes realizado é válido, pois verifica a condição b. Caso esta condição não fosse verificada, dever-se-ia redimensionar o condensador do filtro, ajustando a percentagem de potência reactiva admissível à saída do inversor.

Dispondo dos valores de todos os componentes do filtro, a frequência de ressonância deste será dada por A.15.

$$\omega_{res} = \sqrt{\frac{L_i + L_g}{L_i \cdot L_g \cdot C_f}} \Rightarrow f_{res} = 22.4kHz \quad (\text{A.15})$$

A frequência de ressonância obtida verifica as restrições da condição c, estando localizada a uma frequência onde não existem componentes espectrais significativas, evitando desta forma a excitação indevida do filtro e consequente instabilidade do sistema. Na figura A.5 apresenta-se

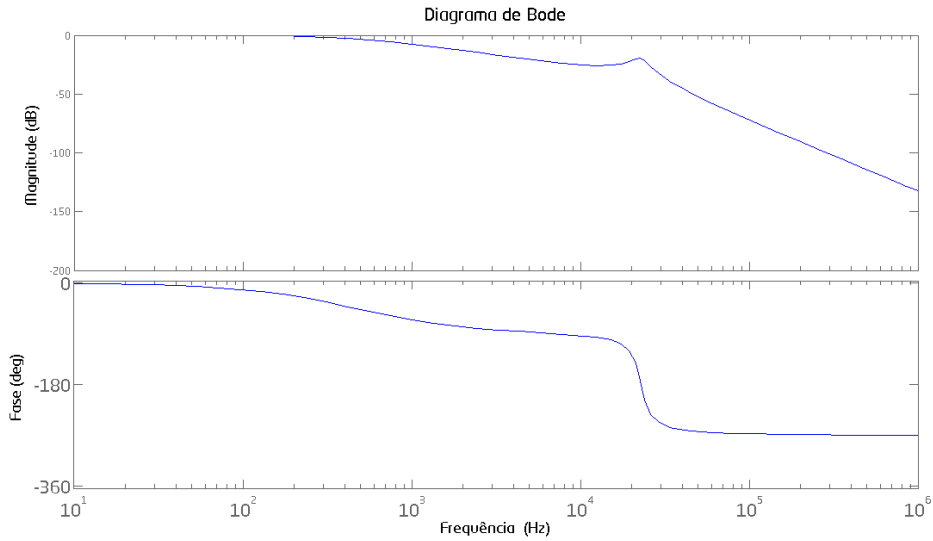


Figura A.5: Diagrama de Bode do filtro LCL

o diagrama de bode deste filtro. Assumiu-se o valor de 0.5Ω para as resistências de perdas R_i e R_g .

À semelhança da situação já apresentada no capítulo 3 a utilização de uma resistência de amortecimento é também neste caso recomendável, devendo ser utilizada caso se observe *ripple* na corrente com uma frequência próxima da frequência de ressonância do filtro. O valor da resistência de amortecimento deverá ser escolhido de modo a garantir um amortecimento crítico da resposta do filtro, eliminando o fenómeno de ressonância.

Com a aplicação deste método de dimensionamento do filtro, embora baseado num conjunto de regras e um procedimento sequencial para o dimensionamento do filtro do sistema formalmente correctos, obtêm-se valores que deverão ser interpretados como uma referência de base para um posterior ajuste do filtro. Uma vez que os componentes deste apresentam comportamentos não ideais, poderá ser necessária uma maior ou menor atenuação do *ripple* da corrente e, consequentemente, realizarem-se alguns ajustes nos parâmetros do filtro de modo a se obterem melhores resultados.

A.3 Discretização da Função de Transferência de um controlador PID

De modo a ser possível implementar um controlador PID ao nível de um microcontrolador, é necessário proceder à discretização da expressão relativa ao incremento do controlador PID no domínio do tempo, apresentada em A.16.

$$\Delta u(t) = K_p(e(t) + T_d \dot{e}(t) + \frac{1}{T_i} \int_0^t e(\tau) d\tau) \quad (\text{A.16})$$

Seguindo o mesmo procedimento apresentado em [33], dividiu-se a expressão anterior em três partes:

$$\Delta u(t) = p(t) + i(t) + d(t) \quad (\text{A.17})$$

Na equação A.17, os termos $p(t)$, $i(t)$ e $d(t)$ correspondem respectivamente ao termo proporcional, integral e diferencial, podendo ser expandidos da seguinte forma:

$$p(t) = K_p e(t) \quad (\text{A.18})$$

$$i(t) = \frac{K_p}{T_i} \int_0^t e(\tau) d\tau \quad (\text{A.19})$$

$$d(t) = K_p T_d \dot{e}(t) \quad (\text{A.20})$$

Definindo h como o intervalo de amostragem é possível implementar o algoritmo PID directamente no microcontrolador.

Relativamente ao termo proporcional, a discretização deste é facilmente realizável substituindo o sinal de erro $e(t)$ pelo seu equivalente discreto $e(k)$.

$$p(k) = K_p e(k) \quad (\text{A.21})$$

No que toca ao termo integral, este pode ser obtido utilizando uma aproximação por um método trapezoidal. Diferenciando ambos os lados da equação obtém-se A.22.

$$\frac{di(t)}{dt} = \frac{K_p}{T_i} e(t) \quad (\text{A.22})$$

Substituindo $e(t)$ por $e(k)$ e aproximando a derivada por diferenciais obtemos A.23

$$\frac{i(k) - i(k-1)}{h} = \frac{K_p}{T_i} e(k) \quad (\text{A.23})$$

Simplificando A.23 resulta A.24

$$i(k) = i(k-1) + \frac{K_p h}{T_i} e(k) \quad (\text{A.24})$$

O termo derivativo pode ser discretizado utilizando o mesmo processo aplicado no termo integral, resultando A.25

$$d(k) = K_p T_d \frac{e(k) - e(k-1)}{h} \quad (\text{A.25})$$

Finalmente, juntando os três termos e efectuando algumas simplificações algébricas obtém-se a expressão final A.26

$$\Delta u(t_k) = K_p(e(k) + \frac{i(k-1)}{K_p} + \frac{h}{T_i} e(k) + T_d \frac{e(k) - e(k-1)}{h}) \quad (\text{A.26})$$

A.4 Conversor Forward

O conversor *Forward* é uma topologia bastante popular para implementação de fontes DC-DC isoladas e reguladas a partir de uma fonte DC não regulada, tipicamente proveniente da rectificação e reduzida filtragem de uma tensão AC, encontrando-se o seu circuito base esquematizado em A.6. O princípio de operação deste sistema pode ser facilmente analisável sob ponto de vista de um conversor *buck*, conversor DC-DC usado para realizar reduções de tensão, cuja fonte de tensão provém de um transformador elevador.

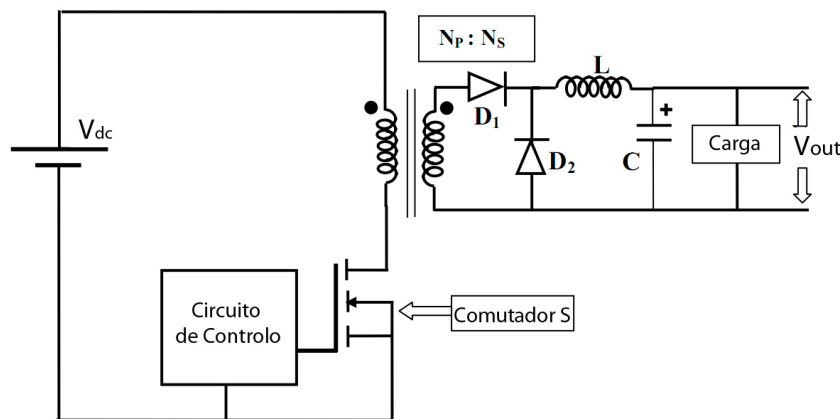


Figura A.6: Topologia base de um conversor *Forward*

O funcionamento do *Forward* pode ser segmentado em duas fases distintas, relacionadas com a comutação do interruptor *S*. Admitindo que este está fechado, uma tensão DC é aplicada

ao primário do transformador, aparecendo elevada pela relação de transformação no enrolamento secundário. O ponto dos enrolamentos apresenta um potencial positivo pelo que o díodo D_1 fica directamente polarizado e a indutância e o condensador do filtro LC são carregados através da corrente que flui pelo enrolamento secundário.

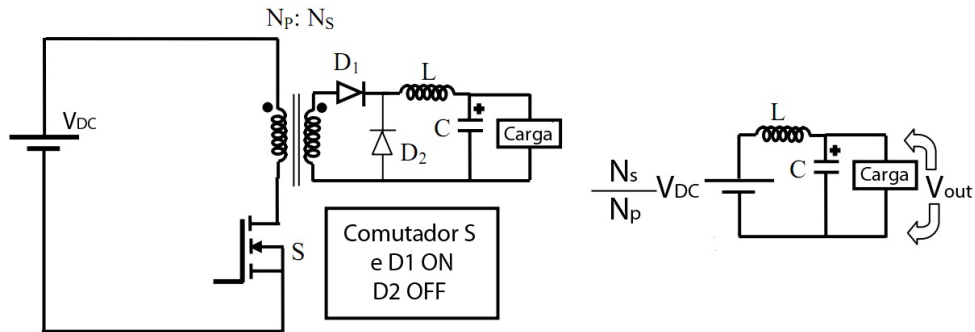


Figura A.7: Conversor *Forward* com comutador S fechado e respectivo modelo equivalente quando S está em condução

Quando S é aberto, aos terminais do primário do transformador a tensão torna-se negativa devido à interrupção da passagem de corrente, o que se reflecte para o secundário polarizando inversamente o díodo D_1 . No entanto, a corrente na bobine continua a fluir para a carga através do díodo de roda-livre D_2 e a tensão de saída é mantida relativamente estável devido à existência de um condensador de elevado valor. A energia armazenada nestes componentes vai-se dissipando na carga pelo que, de modo a manter um *ripple* de tensão em valores admissíveis, deverá dimensionar-se correctamente o condensador e a bobine do filtro, assim como transferir energia para o secundário do transformador com uma frequência que minimize o decaimento da tensão à saída. O aumento desta permite reduzir o tamanho dos diversos componentes mas, no entanto, tende a aumentar as perdas de comutação e dos transformadores/bobinas.

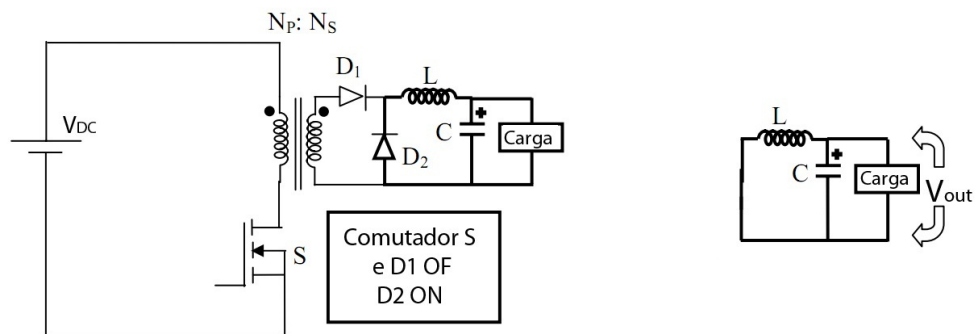


Figura A.8: Conversor *Forward* com comutador S aberto e respectivo modelo equivalente quando S está cortado

De modo a determinar a relação entre a tensão de entrada e a tensão de saída do sistema, e admitindo que δ é o *duty-cycle* da comutação do interruptor do primário do transformador,

durante o período *On*, a tensão aos terminais da indutância é dada por A.27 e no período *OFF* por A.28.

$$V_L(t) = \frac{N_s}{N_p} \cdot V_{DC} - V_{out}, \text{ para } 0 \leq t \leq \delta T \quad (\text{A.27})$$

$$V_L(t) = -V_{out}, \text{ para } \delta T \leq t \leq T \quad (\text{A.28})$$

Como a tensão aos terminais de um indutor deverá ser, em média, nula de A.27 e A.28 vem que:

$$\left[\frac{N_s}{N_p} \cdot V_{DC} - V_{out} \right] \cdot \delta + [-V_{out}] \cdot (1 - \delta) = 0 \quad (\text{A.29})$$

$$V_{out} = \delta \cdot \frac{N_s}{N_p} \cdot V_{DC} \quad (\text{A.30})$$

Verifica-se assim, de acordo com A.30, que a tensão à saída do conversor *Forward* é directamente proporcional ao *duty-cycle* utilizado. Esta relação apresentada apenas é válida considerando que a corrente na bobine nunca atinge o valor nulo, estando a operar no modo contínuo. Caso contrário, a relação entre a tensão de saída e o *duty-cycle* torna-se não linear e dependente da carga do sistema.

A.5 Mecanismos de falha dos *MOSFETs*

Actualmente, as diversas aplicações electrónicas têm vindo a ser desenvolvidas com um objectivo de aumentar a sua eficiência energética mantendo o seu custo de implementação moderadamente reduzido. A capacidade dos *MOSFETs* em operar a elevadas frequências, apresentarem reduzidas áreas de silício, uma reduzida resistência de condução e mesmo assim serem capazes de suportar grandes densidades de potência e resistirem a períodos transientes repetitivos de elevada corrente e tensão, têm sido algumas das razões do sucesso deste componente em aplicações de elevada potência como fontes comutadas ou controladores de motores.

A escolha de um *MOSFET* é processo que não deve ser descurado, uma vez que, dependendo das condições de operação do sistema, as características deste dispositivo são o elemento chave entre o seu correcto funcionamento ou a sua destruição. Para avaliar as capacidades de um dispositivo é importante estudar a sua área de operação segura, conhecida como *SOA*, um gráfico que apresenta a sua zona de operação em função do V_{DS} e I_D , tendo em conta as limitações de construção relativas às especificações máximas do dispositivo no que toca a tensão, corrente e temperatura das junções. Esta informação é obtida experimentalmente, efectuando testes de esforço a um número de amostras suficientemente elevado para estabelecer um padrão de comportamento. Na figura A.9 é apresentado um exemplo deste gráfico.

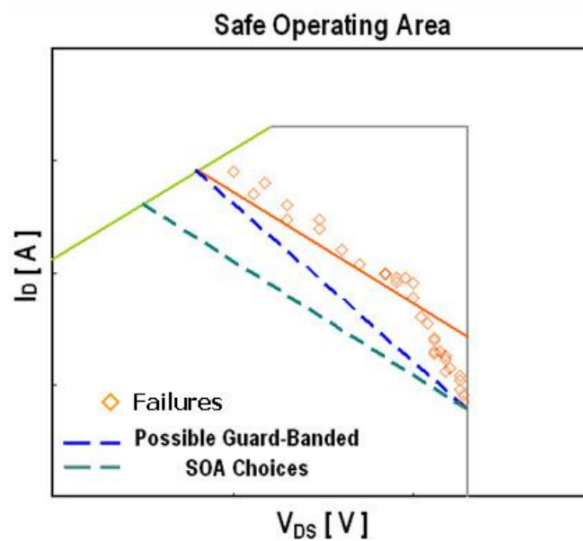


Figura A.9: SOA genérica de um *MOSFET*. Situações de falha são registadas, efectuando-se a delimitação de uma provável zona de guarda para o funcionamento do dispositivo [1]

Os limites deste gráfico poderão ser analisados da seguinte forma:

- Limite vertical direito - V_{DS} máximo do dispositivo.
- Limite horizontal - Corrente I_D máxima do dispositivo.
- Limite superior com derivada positiva - Limitação da potência imposta pelo $R_{DS(ON)}$ do dispositivo.
- Limite superior com derivada negativa - Limitação da potência imposta pela temperatura máxima da junção do *MOSFET*.

No entanto, mesmo sendo respeitadas as condições de operação, estes componentes também são conhecidos pelas suas situações de falha muitas vezes inexplicáveis à altura da sua ocorrência, principalmente porque podem decorrer de uma exposição prolongada a eventos que aceleram o desgaste físico do componente ou até porque, muitas vezes, um mecanismo de falha é mascarado por outros que lhe sucedem como consequência, adulterando as evidências originais.

As causas de falha dos *MOSFETs* são actualmente alvo de grande investigação pois, para além das situações mais evidentes como sobre-tensões, sobre-correntes e excesso de temperatura, existem mecanismos de falha bastante complexos, relacionados com a existência de elementos parasitas ao nível da construção dos semicondutores. Seguidamente são apresentados algumas das situações que podem levar à destruição do componente.

Tensão de *Gate*

O circuito que efectua o ataque à *gate* de um *MOSFET* pode ser responsável pela falha deste componente de duas formas. A primeira prende-se com a existência de tensões *Gate-Source*

superiores à especificação, que são responsáveis pela perfuração do isolamento da *Gate* e consequente inutilização do componente. Esta situação poderá ocorrer quando o sinal de controlo utilizado apresenta uma tensão em regime estacionário efectivamente superior ao V_{GS} máximo do *MOSFET* mas também se pode dever à existência de fenómenos oscilatórios que são responsáveis pelo aparecimento de picos de tensão durante o período transitório do sinal de ataque.

Outra situação que pode levar à destruição do *MOSFET* está relacionada a utilização de uma tensão *Gate-Source* insuficiente para o *MOSFET* operar na sua zona ohmica com uma baixa resistência de condução, levando a uma situação em que tanto a tensão V_{DS} como a corrente I_D são simultaneamente elevadas. Esta situação pode levar o transistor à destruição por sobreaquecimento caso não apresente um sistema de dissipação térmica adequado.

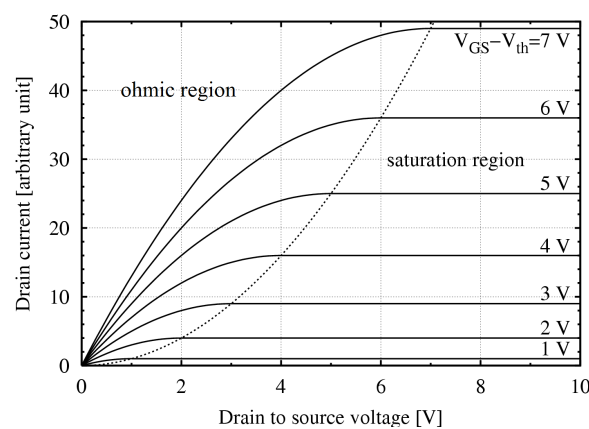


Figura A.10: Curva I_D vs V_{DS} para múltiplas tensões de *gate* aplicadas

A existência de falhas ao nível do *bonding* entre o encapsulamento e a estrutura no silício do *MOSFET* ou irregularidades na própria estrutura do silício como a existência de dopagem não uniforme, assimetria estrutural podem levar a uma distribuição não uniforme da corrente e consequentemente a um aquecimento localizado do *MOSFET*. Quando um *MOSFET* opera como um interruptor, este é activo através de tensões de *gate* altas de modo ao componente apresentar baixo valor da resistência de condução R_{DS} e consequentemente baixa tensão V_{DS} . Nesta situação, este apresenta um coeficiente de temperatura positivo, que faz com que haja um mecanismo de realimentação negativa no sistema que reduz a corrente de dreno com o aumento da temperatura. Esta propriedade permite a utilização de vários *MOSFETs* em paralelo sem que ocorra embalamento térmico e destruição destes. No entanto, para baixos valores da tensão V_{GS} esta propriedade não se verifica.

Com base nos dados da figura A.11 existe uma tensão de *gate* à qual a transcondutância do *MOSFET* não é afectada pela temperatura, constituindo o ponto de *cross-over* entre dois comportamentos distintos relativamente à temperatura. No caso apresentado, para valores de V_{GS} inferiores a 5.8V, o *MOSFET* apresenta um coeficiente de temperatura negativo e, consequentemente, um aumento da temperatura numa região do componente resulta numa maior corrente de condução I_D . Esta situação leva a que uma zona da estrutura do *MOSFET* que esteja mais quente, por estar a conduzir mais corrente que uma região adjacente, conduza ainda mais cor-

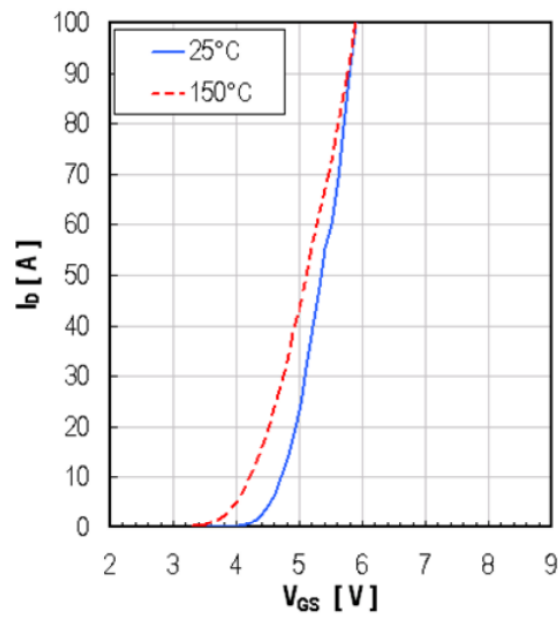


Figura A.11: Relação entre a tensão de *gate* aplicada a um IRF1405 e a corrente de dreno resultante, evidenciando a variação da corrente com o aumento da temperatura do dispositivo [1]

rente e, desta forma, aumenta localizadamente a temperatura do dispositivo até ser atingido o valor máximo suportado fisicamente, que acaba por levar à sua destruição. Um exemplo deste problema encontra-se apresentado na figura A.12.

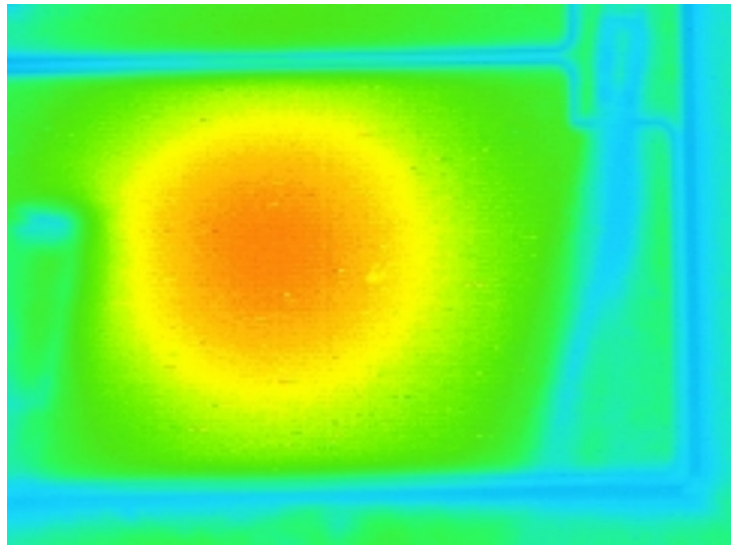


Figura A.12: Imagem térmica da falha de um IRF1405Z - A imagem apresenta um ponto quente que se forma devido aos problemas de operação no modo linear [1]

Como já foi referido, este problema pode ser negligenciado em sistemas em que os *MOSFETs* funcionem num modo comutado, entre o estado ON-OFF mas, no entanto, é um problema persistente no desenvolvimento de sistemas em que se pretenda utilizar o *MOSFET* como amplificador, em que há uma utilização mais ampla da zona de operação linear do dispositivo.

Energia de Avalanche

Quando um *MOSFET* efectua a comutação de cargas indutivas e não apresenta nenhum dispositivo como *snubbers* para efectuar o *clamping* da elevada tensão entre a *source* e o dreno que pode surgir nestas situações, o próprio *MOSFET* é sujeito a uma situação de elevado desgaste, pois tem de dissipar a energia armazenada na indutância durante o estado ON. Nestas situações, quando o *MOSFET* passa ao estado OFF, desenvolve-se uma tensão aos seus terminais limitada pela sua tensão dreno-*source* de *breakdown*, V_{BDSS} , e enquanto toda a energia armazenada na indutância não se dissipar, diz-se que o *MOSFET* está no estado avalanche. Esta situação encontra-se representada em A.13. A capacidade de um *MOSFET* resistir a esta situação sem se danificar está relacionada com a energia de avalanche que este suporta, em situações esporádicas (*Single Pulse Avalanche Energy*) ou em situações repetitivas (*Repetitive Pulse Avalanche Energy*), e com o aumento da temperatura do canal entre o dreno e a *source* causado por esta situação.

Os *MOSFETs* de potência apresentam-se tipicamente compostos por múltiplas células em paralelo, para formar um único dispositivo. Numa situação de design robusto do dispositivo, a corrente de avalanche é distribuída uniformemente por este. No entanto, a existência de não uniformidades, que se podem revelar ao nível de diferentes tensões de *breakdown* ao longo de uma região do *MOSFET*, podem levar à falha localizada do *MOSFET* em áreas específicas, não destruindo o dispositivo imediatamente mas degradando a sua performance ao longo do tempo e

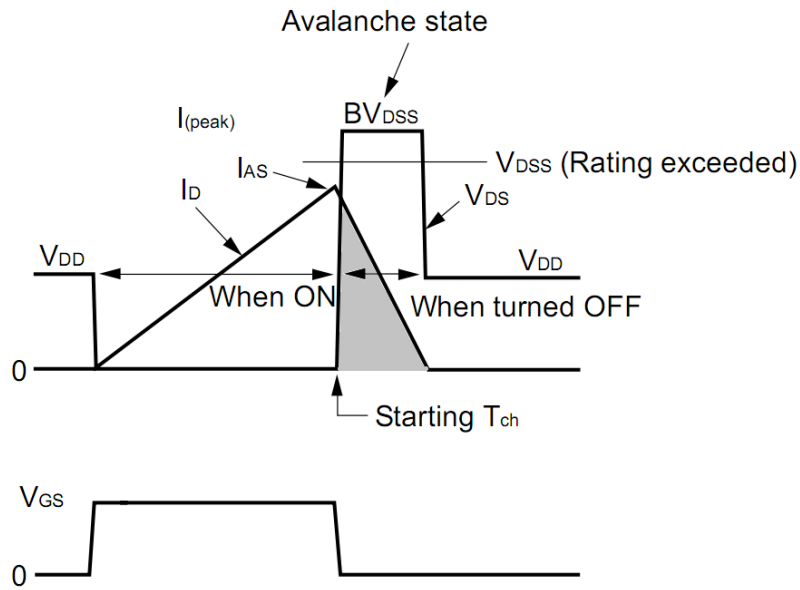


Figura A.13: Entrada do *MOSFET* no modo avalanche

a capacidade de suportar novos eventos de desgaste com a mesma robustez inicial.

Elevado dv/dt Dreno-Source

Variações bruscas da tensão entre o Dreno e a *Source* de um *MOSFET* podem levar à sua activação inesperada e levar o dispositivo à sua destruição por condução de elevadas correntes em situações de curto-circuito. De seguida serão apresentadas algumas situações em que este problema está patente, com base no circuito equivalente de um *MOSFET* apresentado na figura A.14.

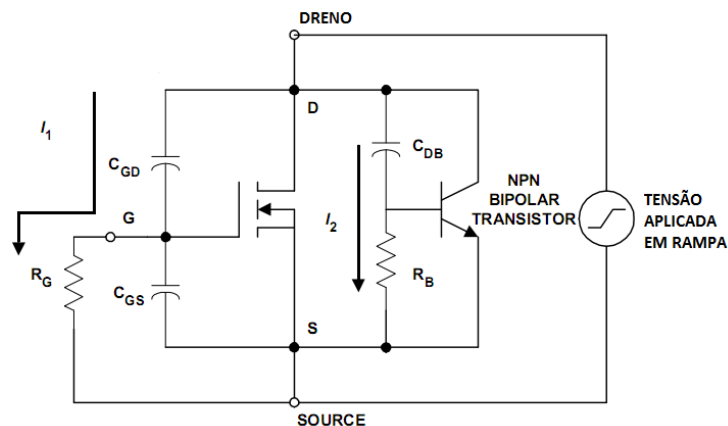


Figura A.14: Circuito equivalente de um *MOSFET* de canal N

Quando ocorre uma forte variação da tensão ao nível do dreno do *MOSFET*, tipicamente relacionada com a comutação de cargas indutivas, a tensão que se desenvolve aos terminais da capacidade entre o Dreno e a *Gate* leva ao aparecimento de uma corrente identificada por I_1 na figura A.14 com a magnitude $C_{GD} * dv/dt$. Caso surja uma voltagem V_{GS} resultante da passagem da corrente referida pela impedância entre a *Gate-Source*, ocorrerá uma activação indevida do *MOSFET*. Para proteger o *MOSFET* desta situação, dever-se-á utilizar um sistema de activação da *Gate* com muito baixa impedância de saída, que torna mais dispendiosa a implementação do sistema, ou então aumentar o V_{GS} de *threshold* do *MOSFET*, que indirectamente conduz a um aumento da resistência R_{DS} .

$$V_{GS} = Z_{GS} C_{GD} \frac{dv}{dt} \quad (\text{A.31})$$

$$\frac{dv}{dt} = \frac{V_{GS(th)}}{Z_{GS} C_{GD}} \quad (\text{A.32})$$

Variações elevadas da tensão de dreno podem também activar o *MOSFET* por activação o transistor BJT parasita apresentado na figura A.14. A origem deste elemento parasita esta relacionada com a existência de diversas junções P-N na estrutura do *MOSFET* e encontra-se esquematizada na figura A.15.

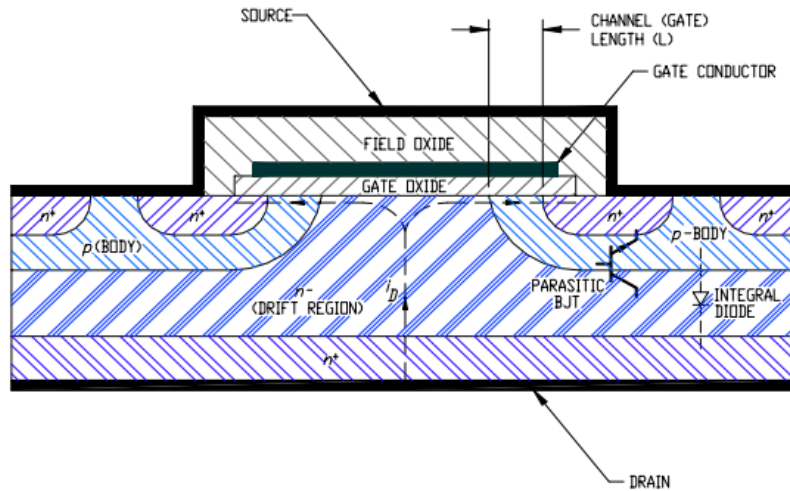


Figura A.15: Origem do BJT parasita num *MOSFET* de canal N com estrutura vertical [5]

A região do *body* do *MOSFET* actua como a base, a *source* como emissor e o dreno como colector. À semelhança da situação exposta anteriormente, uma rápida variação da tensão de dreno pode levar ao aparecimento de uma corrente I_2 ao nível do condensador parasita entre a região de *drift* e de *body*, C_{DB} , que fluirá pela região do *body* podendo criar uma diferença de potencial relativamente à junção da *source* que eventualmente poderá ser superior ao V_{BE} do transistor parasita e causar a sua activação. De modo a minimizar este problema, é importante manter o potencial da base tão próximo quanto possível do emissor, sendo esta tarefa realizada

curto-circuitando a região do *body* com a da *source* do *MOSFET*. Aumentar o *doping* da região de *body* e reduzir a distância que a corrente I_2 tem de percorrer de modo a diminuir a resistência desta também são abordagens a utilizar de modo a reduzir a resistência apresentada à corrente na região do *body*. Desta forma, minimiza-se a hipótese de ocorrência de fenómenos de *latchup*, que poderiam causar a destruição do componente [8].

Embora estes mecanismos de falha possam tornar-se evidentes e danificar os *MOSFETs* mesmo em situações em que estes operam na sua *SOA*, muitas das vezes, estes danificam-se por serem incorrectamente comutados no contexto do circuito que integram, como é o caso das pontes H neste inversor. Nestas configurações, é bastante comum a situação de comutação errada dos *MOSFETs* resultar em curto-circuitos de elevada corrente, ao nível da rede eléctrica ou das baterias de armazenamento existentes à entrada do inversor, energia que rapidamente causa a destruição destes componentes. Na figura A.16 são apresentados três *MOSFETs* que falharam em operação.

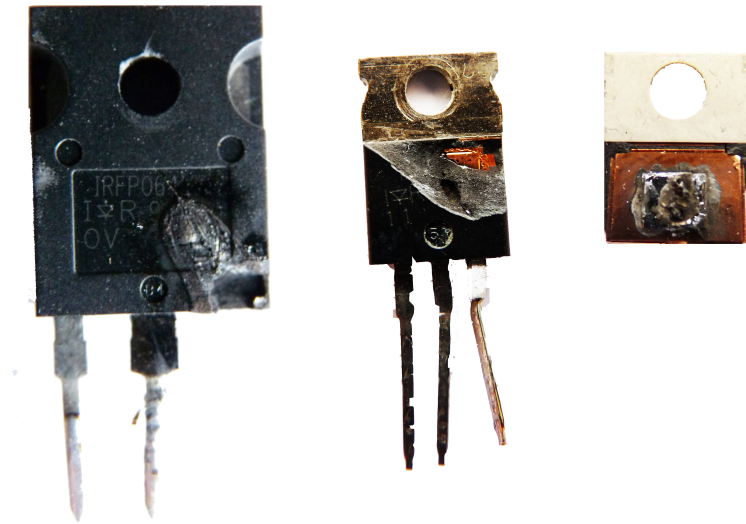


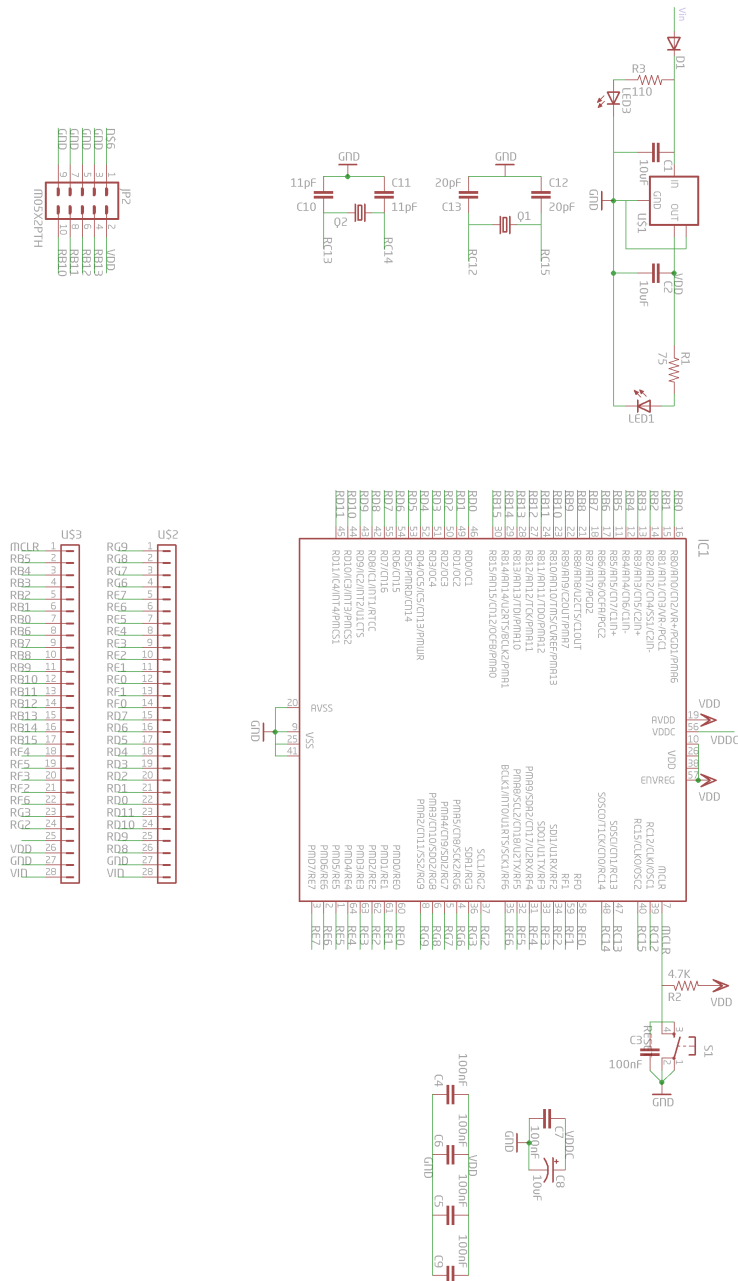
Figura A.16: Alguns exemplos de *MOSFET* com danos exteriores mais evidentes, resultantes da operação incorrecta na ponte H do inversor

Anexo B

Esquemas Eléctricos

B.1 Placa PIC32UA

B.1.1 Esquema eléctrico PIC32UA



B.1.2 Layout PIC32UA

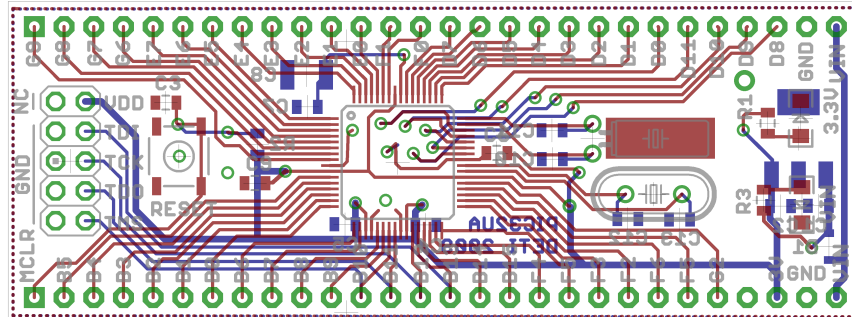


Figura B.1: Layout Geral

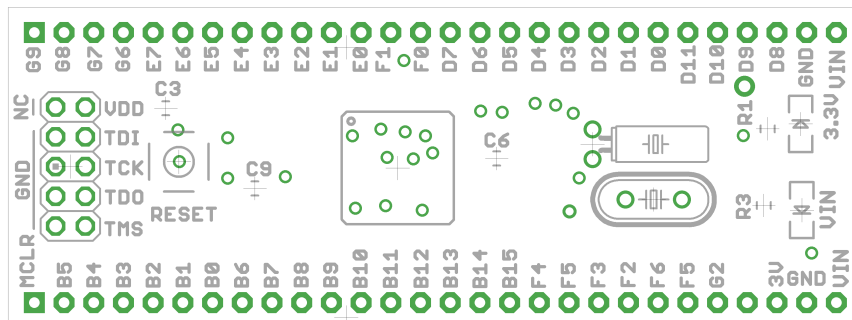


Figura B.2: Layout Superior

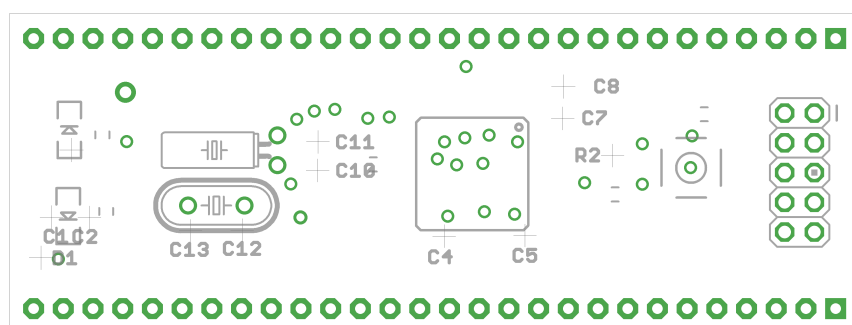
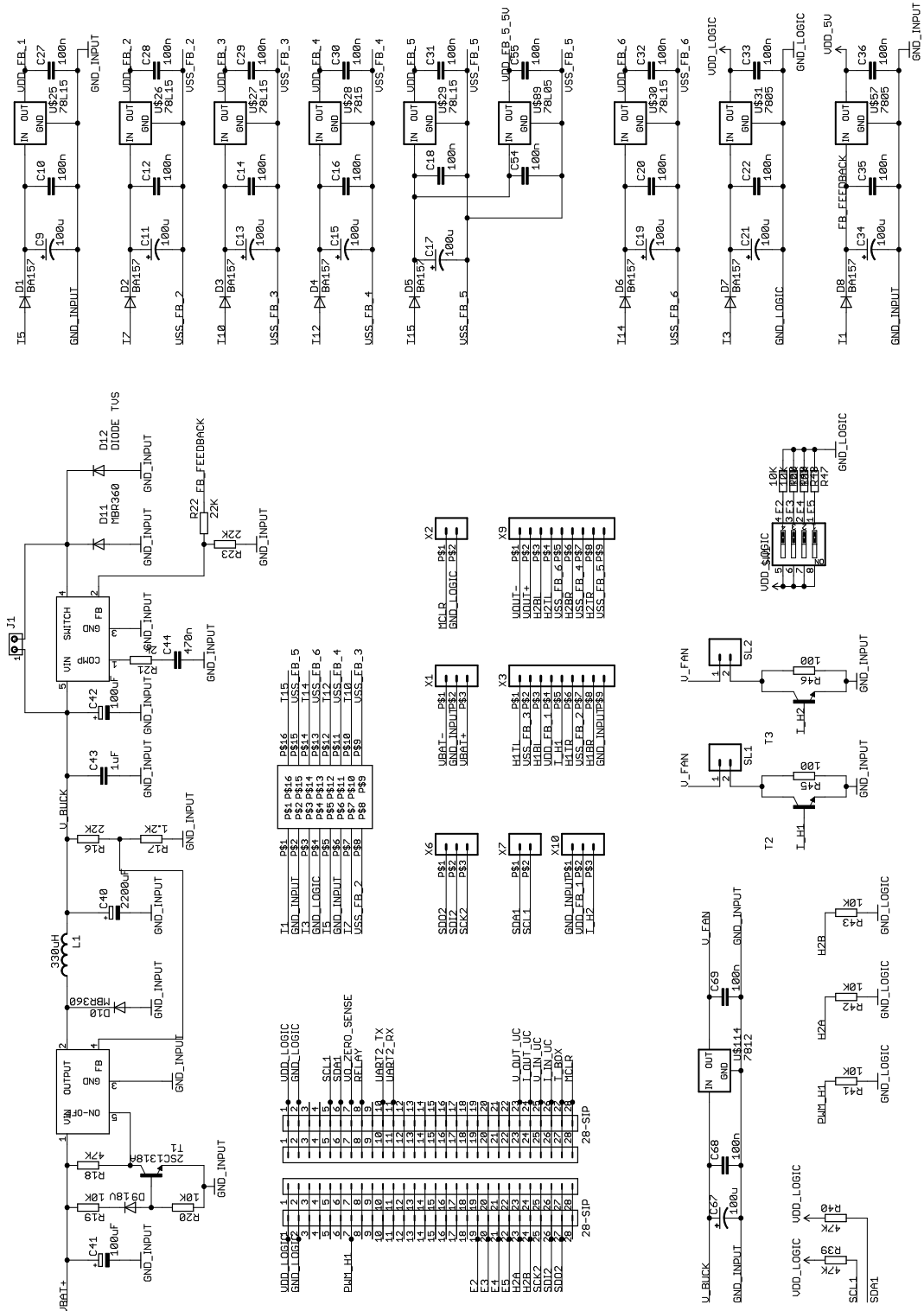


Figura B.3: Layout Inferior

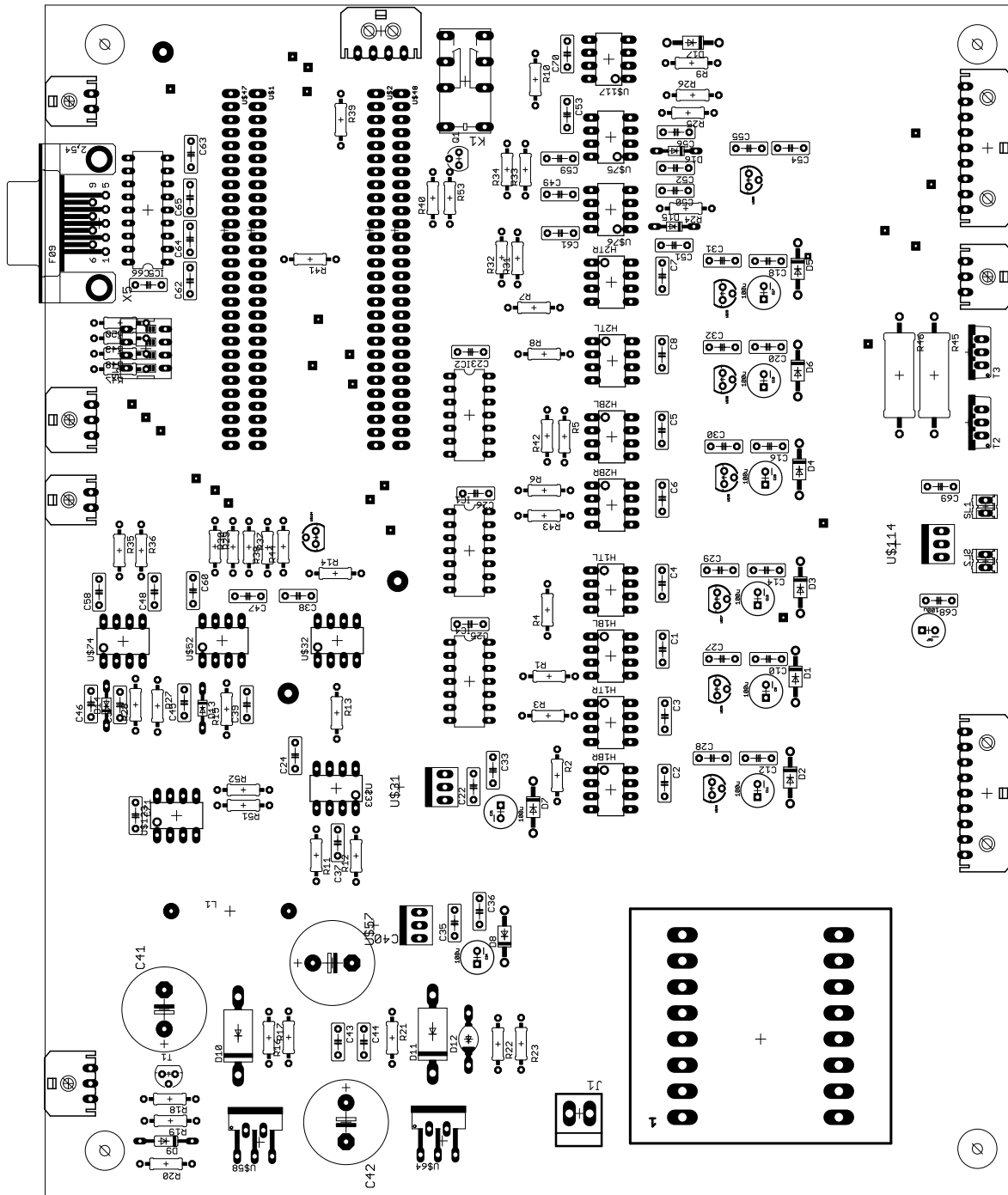
B.2 PCB Inversor

B.2.1 Esquema eléctrico da PCB de Controlo do Inversor

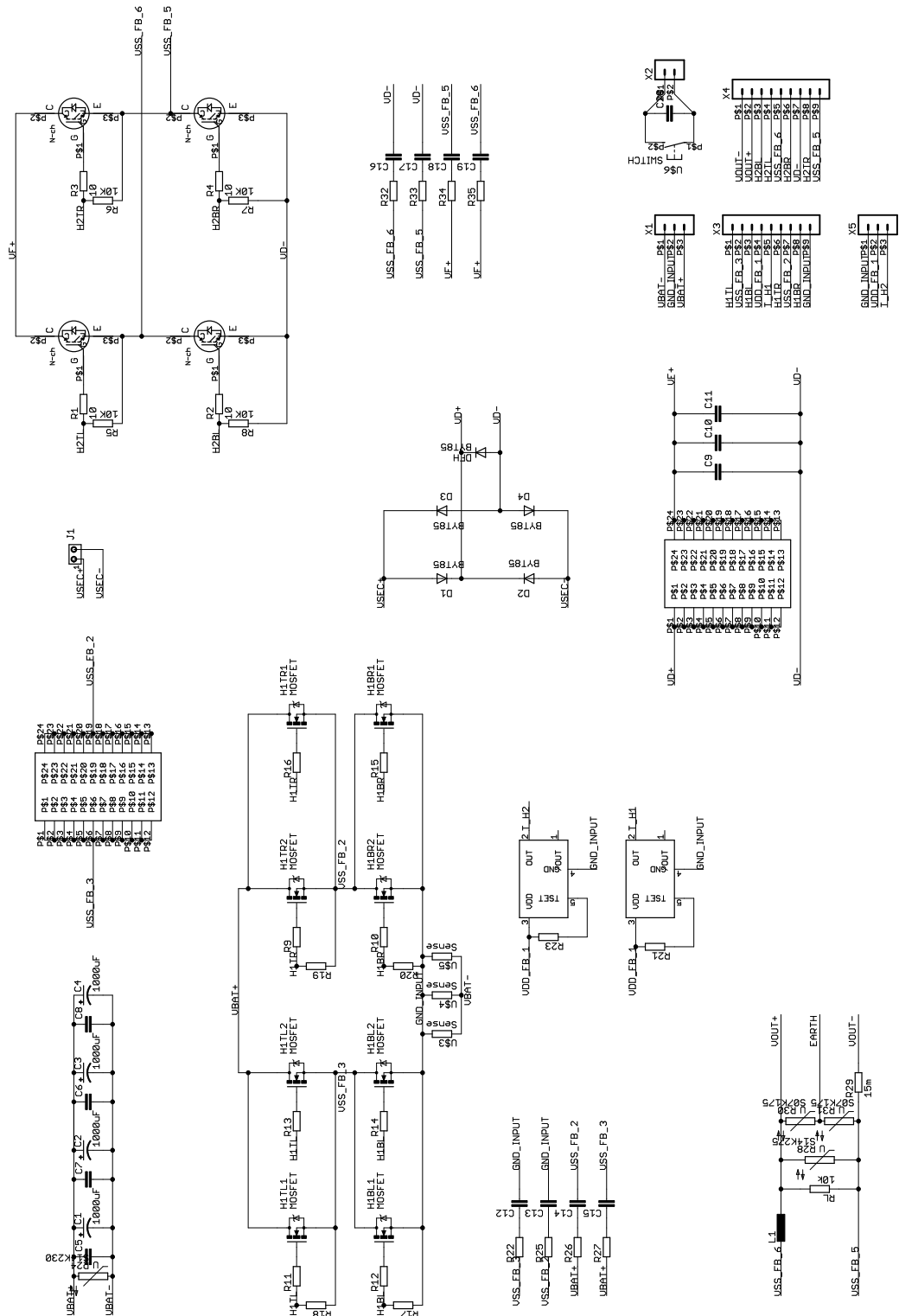




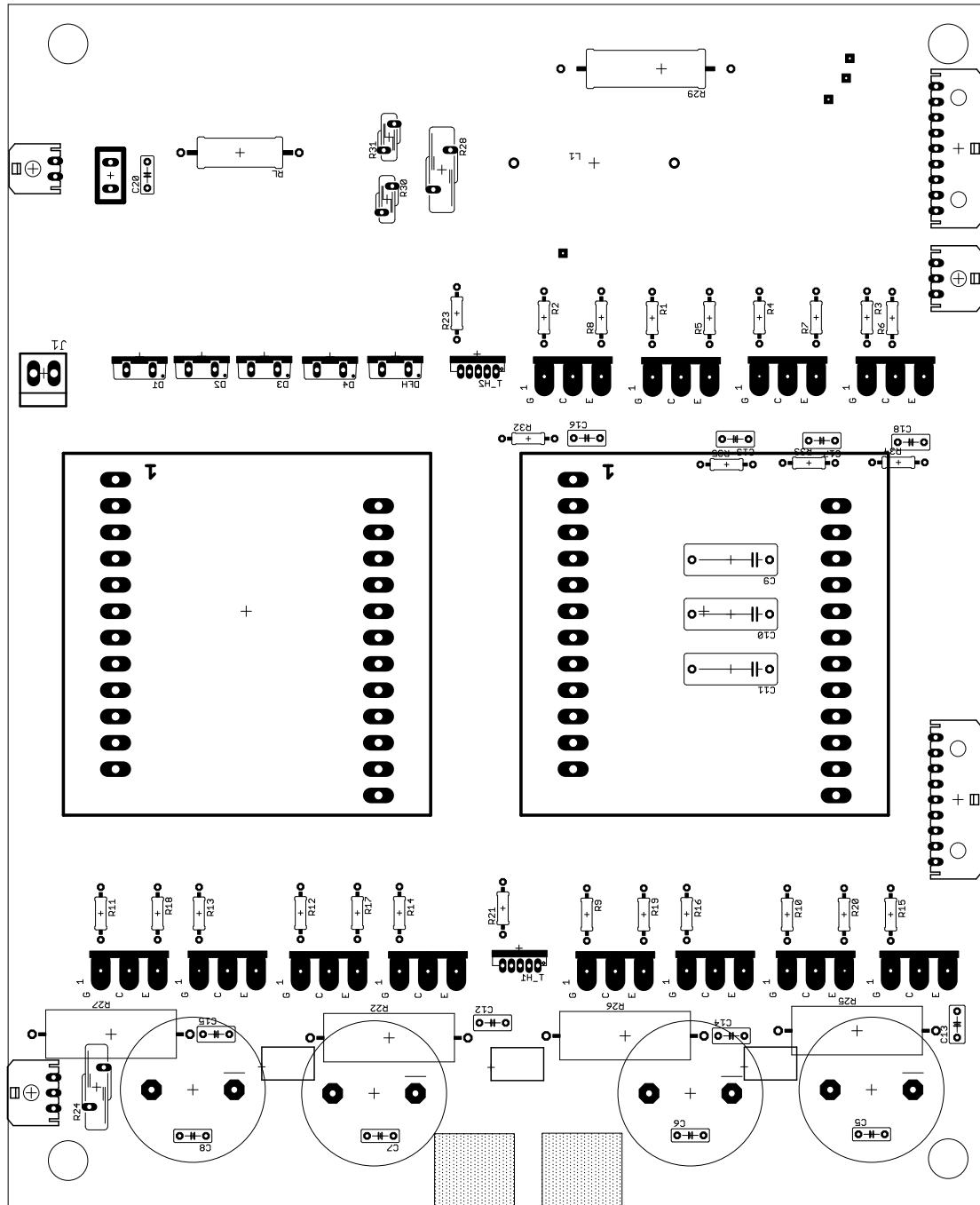
B.2.2 Layout da PCB de Controlo do Inversor



B.2.3 Esquema eléctrico da PCB de Potência do Inversor



B.2.4 Layout da PCB de Potência do Inversor



Bibliografia

- [1] *Application Note AN-1155 - Linear Mode Operation of Radiation Hardened MOSFETS.* www.irf.com/technical-info/appnotes/an-1155.pdf.
- [2] *Bulk of MCU Revenue Moving to 16-bit and 32-bit.* www.instat.com/newmk.asp?ID=1494.
- [3] *Cadsoft EAGLE.* www.cadsoft.de/.
- [4] *Evaluation of Islanding detection methods for photovoltaic utility-interactive Power Systems.* IEA, International Energy Agency.
- [5] *FAIRCHILD AN9010 MOSFET Basics.* www.fairchildsemi.com/an/AN/AN-9010.pdf.
- [6] *FreeRTOS Features Overview.* www.freertos.org.
- [7] *Hitech-C compilers by Microchip Technology.* www.htsoft.com/.
- [8] *IR Power MOSFET Basics.* www.irf.com/technical-info/appnotes/mosfet.pdf.
- [9] *Maxim Application Note 716 - Proper Layout and Component Selection Controls EMI.* <http://pdfserv.maxim-ic.com/en/an/AN716.pdf>.
- [10] *MIPS32 M4K Core Datasheet.* www.mips.com/media/files/MD00247-2B-M4K-DTS-02.01.pdf.
- [11] *Module 3 - Dc to Dc Converters, Lesson 23 - Forward Type Switched-Mode Power Supply.* IIT Kharagpur, India.
- [12] *MPLAB C Compiler for PIC32 MCUs User's Guide.* ww1.microchip.com/downloads/en/DeviceDoc/51686B.pdf.
- [13] *MPLAB IDE User's Guide with MPLAB Editor and MPLAB SIM Simulator.* ww1.microchip.com/downloads/en/DeviceDoc/MPLAB_User_Guide_51519c.pdf.

- [14] *PIC32 Web Seminars*. <http://techtrain.microchip.com/webseminars/QuickList.aspx>.
- [15] *PIC32MX Family Reference Manual, Microchip*. ww1.microchip.com/downloads/en/DeviceDoc/PIC32MX_FRM_Sect01_Intro_61127C.pdf.
- [16] *PLECS - Simulation of Electric Circuits at System Level*. www.plexim.com.
- [17] *Simulink - Simulation and Model based Design*. www.mathworks.com/products/simulink/.
- [18] *Working of Hybrid Cars*. www.circuitstoday.com/working-of-hybrid-cars.
- [19] *IEEE 519-1992 Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems*. IEEE Industry Applications Society / Power Engineering Society, 1992.
- [20] *Magnetics Design - Section 4 - Power Transformers Design*. Texas Instruments, 2001.
- [21] Aström, Karl Johan: *Control System Design*. 2002.
- [22] Berkley Design Technology, Inc.: *An Independent Analysis of the MIPS Technologies MIPS32 M4K Synthesizable Processor Core*. 2007.
- [23] G.S.S. Chau, S. Ziegler, H.H.C. Iu e H. Daniyal: *Experimental Verification of the Linear Current Transformer Model*. Australasian Universities Power Engineering Conferences (AUPEC'08), 2008.
- [24] J. M. A. Myrzik, M. Calais: *String and Module Integrated Inverters for Single-phase Grid Connected Photovoltaic Systems - A Review*. 2003.
- [25] Jantzen Jan: *Design of Fuzzy Controllers*. www.iau.dtu.dk/~jjj/pubs/design.pdf, 1998.
- [26] Jasio, Lucio Di: *Programming 32-bit Microcontrollers in C - Exploring the PIC32*. Newnes, 2008.
- [27] Julean Anca: *Active Damping of LCL Filter Resonance in Grid Connected Applications*. Master Thesis - Aalborg Universitet, 2009.
- [28] Kerekes, Tamás: *Analysis and Modeling of Transformerless Photovoltaic Inverter Systems*. 2009.
- [29] M. Ciobotaru, T. Kerekes, R. Teodorescu A. Bouscayrol: *PV inverter simulation using MATLAB/Simulink graphical environment and PLECS blockset*. IEEE Xplore, 2006.

- [30] Marco Liserre, Frede Blaabjerg, Steffan Hansen: *Design and Control of an LCL-filter based Three-phase Active Rectifier*. IEEE Xplore, 2001.
- [31] Mastromauro, Marco Liserre, An3nio Dell'Aquila Rosa: *Study of the Effects of Inductor Nonlinear Behaviour on the Performance of Current Controllers for Single-Phase P Grid Converters*. IEEE Transactions on Industrial Electronics, Vol. 55, no. 5, May 2008, 2008.
- [32] Matias Ricardo: *Projecto de um Inversor*. Relat3rio de Projecto de 5 Ano, 2007.
- [33] Mota Alexandre: *Controladores Elementares*. Electr3nica IV - DETI Universidade de Aveiro, 2003.
- [34] Premrudepreechacharn, Tongrak Poapornsawan Suttichai: *Fuzzy Logic Control of Predictive Current Control for Grid-Connected Single Phase Inverter*. IEEE Xplore, 2000.
- [35] Rasmussen, Neil: *The Different types of UPS Systems, Whitepaper 1 APC*. www.ptsdcs.com/whitepapers/1.pdf.
- [36] Soeren Baekhoej Kjaer, John K. Pedersen, Frede Blaabjerg: *A Review of Single-Phase Grid-Connected Inverters for Photovoltaic Modules*. IEEE Xplore, 2005.
- [37] Weiss, Alan R.: *Drystone Benchmark, History, Analysis, Scores and Recommendations*. www.johnloomis.org/NiosII/dhrystone/ECLDhrystoneWhitePaper.pdf, 2002.
- [38] Xiaojin, Sun Jinhao, Li Yezi Qi Jianling Yan: *Self-Adaptive Tuning of Fuzzy PID Control of PV Grid-Connected Inverter*. Sixth International Conference on Fuzzy Systems and Knowledge Discovery, 2009.